

Seconda Università degli Studi di Napoli



Dipartimento di Ingegneria Industriale e dell'Informazione  
Corso di Laurea Specialistica in Ingegneria Elettronica

**TESI DI LAUREA**  
**IN**  
**ELETTRONICA**

Una unità di distribuzione dei segnali di riferimento per il sistema di test del radar di avvicinamento nella Missione ExoMars

Relatore

Ch.mo Prof. Luigi Zeni

Co-relatore

Dott. Ing. Luca Ciofaniello

Candidato

Raffaello Davide Laiso

Matr. 838/155

*Ai miei genitori*

# Ringraziamenti

Desidero ringraziare tutti coloro che mi hanno assistito in questo lavoro.

Innanzitutto desidero ringraziare i miei genitori, che mi sono stati sempre accanto durante questo percorso, sostenendomi ed incoraggiandomi sempre con immenso affetto, permettendomi di raggiungere questo importante obiettivo nelle condizioni migliori!

Un ringraziamento particolare va al Dott. Ing. Luca Ciofaniello per la competenza professionale ed umana che ha mostrato costantemente nei miei confronti durante tutta l'attività di tesi. Desidero ringraziare allo stesso modo anche il Prof. Luigi Zeni che mi ha dato l'opportunità di svolgere questo lavoro di tesi nel modo migliore possibile.

Voglio infine ringraziare tutti coloro che lavorano al CO.R.I.S.T.A. per essersi sempre resi disponibili e cordiali.

# Introduzione

Il progresso scientifico e tecnologico degli ultimi 50 anni ha portato a molteplici cambiamenti nella vita umana e nel rapporto dell'uomo con il nostro pianeta. Le esplorazioni spaziali rappresentano un capitolo molto importante della storia umana, e sono state possibili grazie al sostegno tecnologico e alle competenze sistemistiche acquisite che si sono concretizzate nello sviluppo di strumenti d'avanguardia.

Questi sistemi non solo monitorano il nostro pianeta fornendo informazioni ad esempio sul clima, sull'inquinamento o sulle previsioni meteo ma forniscono una fonte quasi inesauribile di dati scientifici sulla natura e sull'origine del sistema solare e dell'universo; ed è proprio da questi dati che sarà possibile controllare e salvaguardare il nostro pianeta Terra.

All'interno di questo scenario si intuisce l'importanza di interfacciare diversi sistemi elettronici per raggiungere un obiettivo comune, pertanto riveste un ruolo fondamentale la generazione di segnali periodici e le tecniche di sintesi analogica e digitale.

Questo elaborato di tesi ha lo scopo di progettare e realizzare una unità di distribuzione dei segnali di riferimento per il sistema di test del radar di avvicinamento della Missione Spaziale ExoMars.

La tesi è organizzata in sei capitoli:

- il primo capitolo introduce le principali missioni su Marte;
- il secondo capitolo descrive la missione ExoMars;
- il terzo capitolo introduce l'intero sistema di test del radar di avvicinamento relativo alla missione ExoMars, ed in particolare descrive il funzionamento dell'Echo Simulator System;

- il quarto capitolo descrive le caratteristiche essenziali ed il principio di funzionamento dello standard LVDS;
- il quinto capitolo introduce il tool software di sviluppo per la realizzazione dell'unità SRDU di distribuzione dei segnali di riferimento;
- il sesto ed ultimo capitolo mostra l'intera progettazione dell'SRDU in base alle specifiche fornite dall'ASI (Agenzia Spaziale Italiana), dall'ESA (Agenzia Spaziale Europea);
- seguono infine la fase di test e le conclusioni.

# Sommario

<b><i>Introduzione</i></b> .....	<b>1</b>
<b>Capitolo I – “Le Missioni su Marte”</b> .....	<b>6</b>
1.1 Esplorazione di Marte .....	6
1.2 Problemi scientifici .....	7
1.3 Riassunto delle missioni su Marte.....	8
1.4 Future missioni su Marte.....	10
1.5 L'esperienza maturata attraverso la Stazione Spaziale Internazionale .....	11
1.6 La Missione Mars Express .....	12
1.7 La Missione Marpost.....	18
1.8 Il Programma Aurora .....	19
1.9 Le Missioni Arrow .....	22
<b>Capitolo II – “La Missione ExoMars”</b> .....	<b>23</b>
2.1 ExoMars .....	23
2.2 Il Consorzio CO.R.I.S.T.A. e la sua attività nel progetto ExoMars.....	29
<b>Capitolo III – “Il radar altimetro e il sistema di Test di terra”</b> .....	<b>31</b>
3.1 L’RDA – Radar Doppler Altimetro .....	31
3.2 Presentazione globale dell’EGSE RDA .....	38
3.3 RDA EGSE instrument level integration .....	39
3.4 RDA EGSE EDM level integration .....	42
3.5 L’ESS nell’ RDA EGSE .....	44
3.5.1 Descrizione generale dell’ESS .....	45
3.5.2 Blocchi funzionali dell’ESS.....	46
3.5.3 ESS - Interfacce.....	47
3.5.4 ESS - EDM level configuration .....	49
3.5.6 ESS - Interfaccia Elettrica EDM system level configuration.....	49
3.5.7 ESS - Interfaccia reflective memory .....	50
3.5.8 Alimentazione dell’ESS .....	52
3.5.9 Cavi dell’ESS .....	53
3.6 Radio Frequency Front End (RFFE).....	53
3.6.1 Descrizione generale dell’RFFE .....	54
3.6.2 Architettura dell’ RFFE.....	56

3.6.3 Requisiti di performance dell'RFFE .....	57
3.6.4 Interfacce dell' RFFE.....	57
3.6.5 Interfaccia RFFE-RDA .....	58
3.6.6 Interfaccia RFFE-EG .....	59
3.6.7 Interfaccia RFFE-porta ausiliaria.....	59
3.6.8 Interfaccia RFFE-SIS .....	59
3.7 L' Echo Generator.....	60
3.7.1 Blocchi Funzionali dell'EG.....	62
3.7.2 EG Controller .....	62
3.7.3 EG - Catena di Trasmissione.....	63
3.7.4 EG - Catena di ricezione .....	64
3.7.5 Architettura EG in open loop .....	64
3.7.6 EG - Off line processor .....	65
3.7.7 EG - Funzioni del Data Archive.....	66
3.7.8 EG - Acquisizione e generazione .....	66
3.7.10 Architettura dell'Echo Generator in closed loop .....	67
3.7.11 Il Sistema EG in dettaglio .....	69
3.7.12 Architettura in dettaglio della sezione di acquisizione e generazione dell'EG	71
3.7.13 Architettura UDcs .....	73
3.7.14 Eg - Interfacce .....	75
3.7.15 EG - interfaccia SRDU.....	76
3.7.16 Alimentazione dell'EG.....	78
3.8 L'SRDU .....	79
3.8.1 Descrizione dell'SRDU.....	79
3.8.2 Interfacce dell'SRDU .....	80
3.8.3 Interfacciamento dell'SRDU con RDA, EG e SIS.....	80
<b>Capitolo IV – “I Segnali LVDS” .....</b>	<b>83</b>
4.1 Introduzione all' LVDS.....	83
4.2 Principi di funzionamento dell'LVDS .....	85
4.3 Lo standard LVDS .....	86
4.4 Circuiti integrati LVDS.....	88
4.5 Bus LVDS .....	89
4.6 Applicazioni LVDS.....	90
4.7 Oscillazione differenziale nell'LVDS.....	90

4.8 Confronto tra differenti tecnologie differenziali .....	91
4.9 Resistenza di Terminazione .....	92
4.10 Massima velocità di commutazione .....	94
4.11 Risparmio di potenza.....	94
4.12 Configurazioni LVDS .....	95
4.13 Un’interfaccia economica .....	97
4.14 LVDS negli FPGA e negli ASICs.....	97
4.15 Lunghezza di stub .....	98
4.16 Protezione ESD .....	98
4.17 Carico capacitivo.....	99
<b>Capitolo V – “Il software di progettazione” .....</b>	<b>100</b>
5.1 Tool di sviluppo .....	100
5.2 MicroSim 8.0.....	100
5.3 Creazione del circuito mediante lo <i>Schematics</i> .....	102
5.4 Simulazione del circuito.....	106
5.5 Tipi di analisi.....	108
5.6 Uso del post-processore grafico <i>Probe</i> .....	109
5.7 Simulazione nel dominio del tempo.....	111
5.8 Simulazione della risposta in frequenza.....	113
5.9 Creazione dello stampato mediante PCBoards .....	115
<b>Capitolo VI – “Realizzazione dell’SRDU” .....</b>	<b>119</b>
6.1 Progetto del modulo SRDU .....	119
6.2 Implementazione circuitale dell’SRDU .....	128
6.3 Progetto dei filtri sul segnale a 10MHz e 50 MHz.....	147
6.4 Fase di Place e Routing .....	152
6.5 Fase di Test .....	154
<b>Conclusioni.....</b>	<b>163</b>
<b>Bibliografia .....</b>	<b>164</b>

# Capitolo I

## “Le Missioni su Marte”

### 1.1 Esplorazione di Marte

L'esplorazione di Marte è stata una parte importante delle missioni di esplorazione spaziale dell'Unione Sovietica, degli Stati Uniti, dell'Europa e del Giappone. Dagli anni sessanta sono state inviate verso Marte dozzine di sonde automatiche senza equipaggio, che includevano orbiter, lander e rover, per raccogliere dati e rispondere a domande sul pianeta rosso e sul suo passato, che potrebbero portare a scoperte ulteriori per il passato, presente e futuro della Terra.

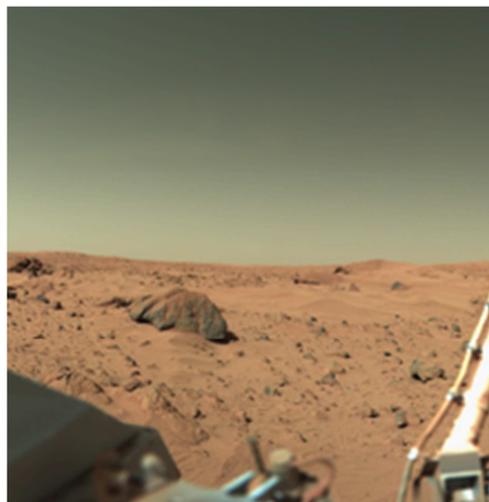


Figura 1 - Sito di atterraggio del lander Viking 1

L'esplorazione di Marte ha raggiunto costi finanziari considerevoli con un ammontare di missioni fallite di circa due terzi delle missioni totali. Questo alto tasso di fallimenti può essere imputato al grande numero di fattori che

possono influire negativamente sulla riuscita della missione, anche se alcune perdite di comunicazioni o fallimenti dovuti a cause non evidenti hanno portato alcuni ricercatori a parlare, scherzosamente, di un Grande Ghoul Galattico la cui dieta consisterebbe di sonde marziane. Questo fenomeno è largamente conosciuto come la Maledizione di Marte.



Figura 2 - Fotografia della "Ares Vallis" del Mars Pathfinder

## 1.2 Problemi scientifici

Marte è stato per molto tempo un soggetto affascinante per l'umanità. Le prime osservazioni telescopiche rivelarono cambiamenti cromatici che furono originalmente attribuiti a vegetazione stagionale e segni lineari ("canali di Marte") che si credeva fossero dovuti a esseri intelligenti. Queste primitive ed erronee interpretazioni causarono un grande interesse pubblico per Marte. Altre osservazioni telescopiche rivelarono due piccole lune, canali prosciugati e depressioni, calotte polari, il monte Olympus (la montagna più alta del sistema solare) e la Valles Marineris (il più grande sistema di canyon del sistema solare). Marte è un pianeta roccioso, simile alla Terra (i due pianeti si sono formati circa alla stessa epoca) ma con un diametro pari alla metà di quello terrestre e con una superficie desertica e fredda, infatti diverse missioni hanno sperimentato che le temperature

misurate nei siti di atterraggio variano tra 150 e 250 K (tra -123 °C e -23 °C). Inoltre su Marte la temperatura è generalmente troppo bassa e l'atmosfera è troppo tenue per sostenere acqua liquida, nonostante siano stati individuati vasti depositi di ghiaccio sotto il terreno entro 60° di latitudine dal polo Sud, e rocce che un tempo dovevano essere ricoperte da mare salato.

Sono state osservate tempeste di sabbia stagionali, cambiamenti di pressione atmosferica e spostamenti di gas atmosferici tra le calotte polari. Un esperimento produsse una possibile prova di vita, ma non fu confermato da altri esperimenti, del resto la presenza di perclorato, rende il pianeta maggiormente ostile alle forme di vita, per cui la maggior parte degli scienziati pensa quindi che attualmente non ci sia vita sul pianeta.

### **1.3 Riassunto delle missioni su Marte**

Le finestre di lancio di minima energia per una spedizione verso Marte si ripetono ad intervalli approssimativamente di due anni e due mesi, cioè 780 giorni (corrispondenti al periodo sinodico di Marte rispetto alla Terra). Inoltre, tale valore minimo non si mantiene costante, ma segue un ulteriore ciclo di circa 16 anni, per cui ci sono finestre particolarmente vantaggiose, come quelle degli anni 1969, 1971 e 1986, 1988, ed altre meno, come per gli ultimi anni settanta.

Seguono in Figura 3 e Figura 4 le tabelle di tutte le missioni spaziali su Marte condotte dai vari paesi (fonte NASA e riadattata), aggiornate al 15 gennaio 2012.

Le missioni mai giunte a destinazione sono evidenziate in rosso, quelle ancora in corso in verde.

Missione	Paese	Data del lancio	Scopo	Risultati
Marsnik 1 (Mars 1960A)	URSS	10 ottobre 1960	flyby di Marte	non ha raggiunto l'orbita terrestre
Marsnik 2 (Mars 1960B)	URSS	14 ottobre 1960	flyby di Marte	non ha raggiunto l'orbita terrestre
Sputnik 22	URSS	24 ottobre 1962	flyby di Marte	raggiunta solo l'orbita terrestre
Mars 1	URSS	1° novembre 1962	flyby di Marte	guasto alla radio a 106 milioni di km
Sputnik 24	URSS	4 novembre 1962	flyby di Marte	raggiunta solo l'orbita terrestre
Mariner 3	USA	5 novembre 1964	flyby di Marte	mancata apertura dello scudo protettivo
Mariner 4	USA	28 novembre 1964	primo flyby di Marte il 14 luglio 1965	inviate 21 foto
Zond 2	URSS	30 novembre 1964	flyby di Marte	arrivato a Marte, ma un guasto alla radio ha impedito di ricevere qualunque dato
Mariner 6	USA	24 febbraio 1969	flyby di Marte il 31 luglio 1969	inviate 75 foto
Mariner 7	USA	27 marzo 1969	flyby di Marte il 5 agosto 1969	inviate 126 foto
Mariner 8	USA	8 maggio 1971	orbiter	lancio fallito
Cosmos 419	URSS	10 maggio 1971	lander	raggiunta solo l'orbita terrestre
Mars 2	URSS	19 maggio 1971	orbiter/lander arrivato il 27 novembre 1971	nessun dato utile, lander distrutto
Mars 3	URSS	28 maggio 1971	orbiter/lander, arrivato il 3 dicembre 1971	qualche dato e poche foto
Mariner 9	USA	30 maggio 1971	orbiter, in orbita dal 13 novembre 1971 al 27 ottobre 1972	inviate 7.329 foto
Mars 4	URSS	21 luglio 1973	orbiter	volo vicino a Marte il 10 febbraio 1974 (fallito l'inserimento in orbita)
Mars 5	URSS	25 luglio 1973	orbiter, arrivato il 12 febbraio 1974	durato pochi giorni
Mars 6	URSS	5 agosto 1973	orbiter/lander, arrivato il 12 marzo 1974	pochi dati
Mars 7	URSS	9 agosto 1973	orbiter/lander, arrivato il 9 marzo 1974	pochi dati
Viking 1	USA	20 agosto 1975	orbiter/lander, in orbita 19 giugno/76-1980, al suolo 20 luglio/76-1982	i due Viking (orbiter e lander) hanno inviato più di 50.000 foto
Viking 2	USA	9 settembre 1975	orbiter/lander, in orbita 7 agosto/1976-1987, al suolo 6 settembre/1976-1980	i due Viking (orbiter e lander) hanno inviato più di 50.000 foto

Figura 3 - Missioni su Marte dagli anni 60 fino alla metà degli anni 70

Phobos 1	 URSS	7 luglio 1988	orbiter/lander su Marte e Fobos	persi nel settembre 1988 durante l'avvicinamento a Marte
Phobos 2	 URSS	12 luglio 1988	Mars/Phobos orbiter/lander	perso nel marzo 1989 nei pressi di Fobos
Mars Observer	 USA	25 settembre 1992	orbiter	perso poco prima di arrivare su Marte, il 21 agosto 1993
Mars Global Surveyor	 USA	7 novembre 1996	orbiter, arrivato il 12 settembre 1997	Missione primaria di mappatura terminata, estesa la sua missione. Ultima trasmissione 21 novembre 2006.
Mars 96	 Russia	16 novembre 1996	orbiter e lander	lancio fallito
Mars Pathfinder	 USA	4 dicembre 1996	lander e rover ( <i>Sojourner</i> ), atterrati il 4 luglio 1997	Primo rover su Marte. Ultima trasmissione 27 settembre 1997
Nozomi (Planet-B)	 Giappone	4 luglio 1998	orbiter	arrivo su Marte fallito causa problemi alla propulsione
Mars Climate Orbiter	 USA	11 dicembre 1998	orbiter	perso all'arrivo su Marte il 23 settembre 1999
Mars Polar Lander	 USA	3 gennaio 1999	lander/sonde di discesa per esplorare il polo sud marziano	perso all'arrivo il 3 dicembre 1999
Mars Odyssey	 USA	7 aprile 2001	orbiter	missione primaria di mappatura scientifica (in corso)
Mars Express	 UE	2 giugno 2003	orbiter e lander ( <i>Beagle 2</i> )	sonda operativa, lander disperso
Mars Exploration Rover	 USA	7-10 giugno 2003	2 rover: <i>Spirit</i> e <i>Opportunity</i>	analisi del pianeta, un rover ancora operativo
Mars Reconnaissance Orbiter	 USA	12 agosto 2005	orbiter	analisi del pianeta, operativa
Phoenix Mars Lander	 USA	4 agosto 2007	lander	Missione conclusa. Ultima trasmissione il 2 novembre 2008.
Fobos-Grunt	 Russia	8 novembre 2011	lander (destinato alla luna Fobos)	fallita dopo il lancio, è caduta in Oceano Pacifico il 15 gennaio 2012
Mars Science Laboratory	 USA	26 novembre 2011	rover: <i>Curiosity</i>	analisi del pianeta, operativa

**Figura 4 - Missioni su Marte dalla fine degli anni 80 al 2011**

## 1.4 Future missioni su Marte

La NASA progetta di inviare un rover nella missione Astrobiology Field Laboratory nel 2016. Inoltre sempre per il 2016, ha approvato la missione InSight, che nell'ambito del Programma Discovery si propone di raccogliere informazioni sulla struttura interna del pianeta con un sismografo di produzione francese e un sensore di profondità di produzione tedesca; mentre nell'ambito del programma Aurora, l'ESA prevede lo sbarco di uomini su Marte nel 2030.

## 1.5 L'esperienza maturata attraverso la Stazione Spaziale Internazionale

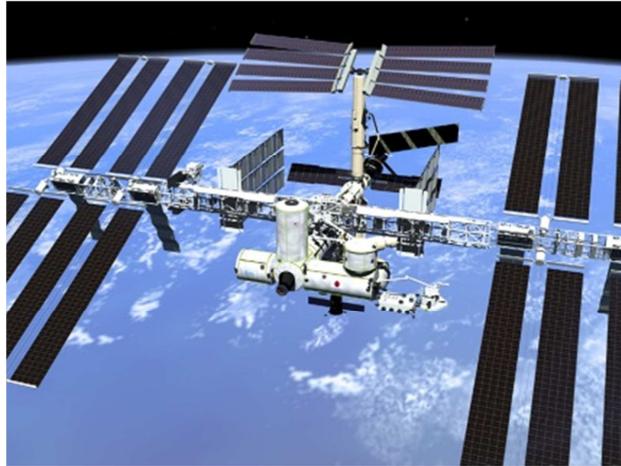


Figura 5 - La Stazione Spaziale Internazionale.

Alla luce di una futura missione su Marte, la Stazione Spaziale Internazionale (ISS) rappresenta un'applicazione importante per acquisire dati e svolgere ricerche nello spazio. Essa è gestita come progetto congiunto da cinque diverse agenzie spaziali: la statunitense NASA, la russa RKA, l'europea ESA, la giapponese JAXA, la canadese CSA. Viene mantenuta ad un'orbita compresa tra i 278 km e i 460 km di altitudine e viaggia a una velocità media di 27.743,8 km/h, completando 15,7 orbite al giorno. È abitata continuamente dal 2 novembre 2000, ma l'equipaggio, da allora, è stato sostituito più volte, variando da due a sei astronauti.

Sulla Stazione vengono condotti esperimenti sulla resistenza e sulla salute dell'uomo nello spazio i cui risultati saranno fondamentali per la programmazione delle future missioni di lunga durata verso Marte.

La ISS, inoltre, permette di testare in modo relativamente economico i sistemi che faranno parte dei futuri veicoli spaziali e di acquisire esperienza

nella manutenzione, riparazione e sostituzione dei sistemi in orbita, attività che risultano fondamentali nella gestione di un veicolo spaziale lontano dalla Terra.

Inoltre, la Stazione Spaziale Internazionale ha rappresentato un importante banco di prova su cui testare la collaborazione tra le principali agenzie spaziali per il raggiungimento di un obiettivo comune.

L'esperienza maturata in tal senso avrà una sua applicazione anche in un'eventuale missione di esplorazione su Marte, per il cui successo è stata sottolineata da più voci la necessità di uno sforzo multinazionale.

## **1.6 La Missione Mars Express**

Mars Express è stata la prima missione planetaria condotta dall'ESA. Il termine "Express", nasce dalla velocità e dall'efficienza con cui è stato progettato e costruito il veicolo spaziale. Tuttavia "Express" descrive anche il viaggio interplanetario del veicolo spaziale che è stato relativamente breve, poiché era da 60000 anni che le orbite della Terra e di Marte non erano così vicine.

La Mars Express spazio per studiare il pianeta Marte si compone di due parti:

- Mars Express Orbiter;
- Beagle 2, un lander progettato per eseguire la ricerca esobiologia e geochimica. Anche se il lander non è riuscito a atterrare in sicurezza sulla superficie di Marte, l'orbiter ha eseguito misure scientifiche dagli inizi del 2004, e cioè l'imaging ad alta risoluzione e la mappatura mineralogica della superficie, l'individuazione di

permafrost e la determinazione precisa della composizione atmosferica e lo studio delle interazioni dell'atmosfera con il mezzo interplanetario.

La sonda è stata lanciata il 2 giugno 2003 alle 23:45 ora locale dal Cosmodromo di Baikonur in Kazakhstan usando un lanciatore Soyuz-FG/Fregat. Essa è stata costruita dal consorzio Astrium con l'appoggio di altre aziende europee tra cui le italiane Alenia Spazio e Officine Galileo.



Figura 6 - Immagine del veicolo

## **Caratteristiche tecniche di Mars Express**

La sonda è quindi composta dal modulo Mars Express Orbiter e dal lander Beagle 2, progettato per studiare la geologia del pianeta e l'eventuale presenza di vita. Si sperava che il lander potesse fornire informazioni definitive sulla capacità del pianeta di supportare forme di vita nel passato. Molti degli strumenti sono la copia degli strumenti persi durante la fallita missione Russa "Mars 96" del 1996. Durante quella missione i paesi europei avevano fornito la maggior parte delle apparecchiature scientifiche

e avevano parzialmente finanziato la missione. Questo riutilizzo delle precedenti conoscenze ha consentito la progettazione e lo sviluppo della sonda in tempi molto ridotti e con un ridotto utilizzo di risorse. Inoltre l'utilizzo di tecnologie già collaudate ha innalzato l'affidabilità della sonda. Dal progetto Mars Express e dal progetto della sonda Rosetta derivano alcune soluzioni tecnologiche utilizzate dalla missione Venus Express.

## **Strumenti del Mars Express**

Gli strumenti di Mars Express sono:

- OMEGA (Francia)

L'OMEGA (Osservatorio per la Mineralogia, l'Acqua, i Ghiacci e l'Attività) è lo spettrometro ad immagine visibile-infrarosso della missione spaziale ESA Mars Express. Entrato in orbita marziana il 25 dicembre del 2003, doveva osservare la quasi totalità del pianeta da un'orbita polare, fornendo spettri della superficie e dell'atmosfera nella banda 0,35 - 5,2  $\mu\text{m}$  con una risoluzione spaziale variabile tra 350 m a 10 km. L'obiettivo è stato quello di ottenere una mappatura mineralogica, una dettagliata esplorazione geologica nonché dei processi che modificano la superficie.

- SPICAM (Francia)

È uno spettrometro atmosferico nell'ultravioletto e nell'infrarosso per valutare la composizione elementare dell'atmosfera.

- MARSIS (Italia) (Mars Advanced Radar for Subsurface and Ionosphere Sounding)

È un radar montato a bordo della sonda spaziale della missione ESA Mars Express con l'obiettivo principale di studiare la composizione del sottosuolo.

- PFS (Italia)

Il Planetary Fourier Spectrometer (PFS) è un spettrometro a infrarossi costruito dall'Istituto Nazionale di Astrofisica, dall'Istituto di Fisica dello Spazio Interplanetario e dal Consiglio Nazionale delle Ricerche. Lo strumento è attualmente utilizzato dall'Agenzia Spaziale Europea nelle missioni Mars Express e Venus Express. L'obiettivo principale è quello di studiare la composizione chimica dell'atmosfera planetaria attraverso la radiazione infrarossa che viene riflessa ed emessa dal pianeta.

- ASPERA (Svezia)

È un analizzatore di plasma e di energia atomica che misura le interazioni tra atmosfera e venti solari.

- HRSC (Germania)

È una telecamera per mappare la superficie di Marte a colori, in tre dimensioni e ad alta risoluzione fino a 2 m.

- MELACOM (Regno Unito)

E' package di comunicazione montato su Mars Express.

## **Obiettivi della missione Mars Express**

L'orbiter è entrato correttamente nell'orbita di Marte il 25 dicembre 2003. In precedenza, il 19 dicembre era stato sganciato il lander Beagle 2 su una traiettoria che l'avrebbe portato ad entrare nell'atmosfera lo stesso giorno dell'ingresso in orbita della sonda principale. Tuttavia nessun contatto è avvenuto con il lander e dopo ripetuti tentativi di comunicazione esso è stato dichiarato perso il 6 febbraio 2004 dal centro di controllo. L'11 febbraio 2004 l'ESA ha annunciato una commissione di indagine volta a chiarire le cause del fallimento del Beagle 2.

La prima immagine del Mars Express Orbiter ha mostrato la Valles Marineris, ripresa da un'altitudine di 275 km, con livelli di dettaglio mai raggiunti prima. Nei due anni successivi la sonda ha trasmesso a Terra un numero elevatissimo di osservazioni sul pianeta. Il 23 gennaio 2004 la sonda ha prodotto la prima prova diretta di quella che fino a quel momento era solo un'ipotesi, e cioè la presenza di acqua su Marte; nello specifico le immagini dimostrano la presenza di acqua nel polo sud del pianeta.

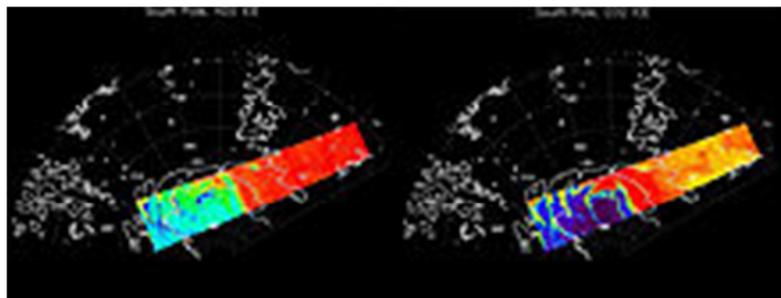


Figura 7 - Mappa del polo sud

Lo spettrometro di Fourier, Planetary Fourier Spectrometer (PFS), ha individuato metano nell'atmosfera sopra la zona equatoriale e la presenza di ghiaccio sotterraneo. Queste tracce indicano una passata attività vulcanica o una passata presenza di microrganismi.

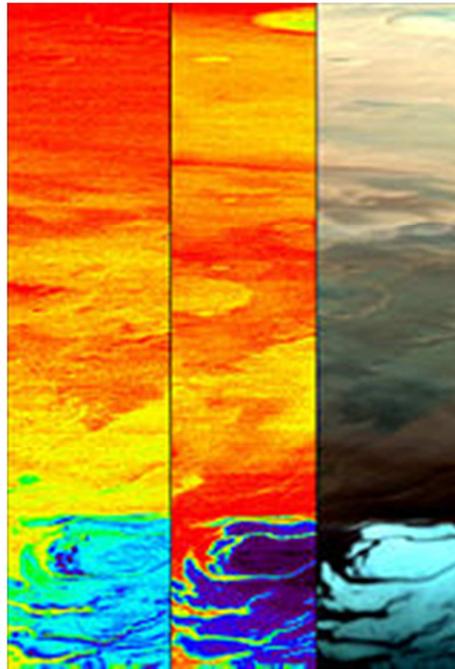


Figura 8 - Immagine dell'acqua rilevata dagli strumenti della sonda

Il 4 maggio 2005 la sonda ha dispiegato la prima antenna da 20 metri dello strumento MARSIS (Mars Advanced Radar for Subsurface and Ionosphere Sounding). Inizialmente l'antenna non si era dispiegata completamente ma in seguito il 10 maggio si è fatta esporre al sole l'antenna e questo ha consentito alla stessa di dispiegarsi correttamente. La seconda antenna da 20 metri è stata dispiegata il 14 giugno. Le due antenne erano essenziali per lo strumento MARSIS dato che servono a generare il dipolo da 40 metri necessario per l'esplorazione. Il 17 giugno è stata dispiegata l'antenna da 7 metri.

Inizialmente il radar doveva essere dispiegato nell'aprile del 2004 ma in seguito la forte attività solare ha spinto i tecnici dell'ESA a ritardare l'apertura delle antenne. Si temeva che le antenne potessero captare i raggi del Sole e danneggiare le apparecchiature presenti sulla sonda. Le osservazioni scientifiche sono iniziate il 4 luglio e nel novembre del 2005 i ricercatori dell'ESA hanno comunicato che la sonda utilizzando il radar MARSIS ha individuato quello che probabilmente è un lago ghiacciato nel sottosuolo del pianeta. Il bacino del lago, deriverebbe dal cratere d'impatto di un meteorite, che in seguito si sarebbe riempito di materiale ricco di ghiaccio. Il presunto lago sarebbe largo fino a 250 chilometri e sarebbe a una profondità di circa 2 chilometri. Tramite MARSIS si sono potuti contare i crateri nascosti dai sedimenti e dalle colate laviche della regione nord di Marte. Il numero di questi crateri è comparabile con il numero di quelli presenti nella regione sud, quindi entrambi le regioni si sono formate nello stesso arco temporale, come si sospettava. Lo strumento MARSIS inoltre ha permesso di effettuare una stima di massima, della quantità d'acqua, immagazzinata sotto forma di ghiaccio nella regione del polo sud.

Al progetto Mars Express hanno partecipato complessivamente 24 compagnie di cui 15 Europee e le rimanenti Americane, per quanto riguarda l'Italia, è stata fondamentale la partecipazione di Astrium e Alenia Spazio (società Finmeccanica), le due maggiori industrie coinvolte nella realizzazione della sonda.

## **1.7 La Missione Marpost**

La società russa Raketno-Kosmicheskaya Korporatsiya Energia, già fornitrice di moduli per la Stazione Spaziale Internazionale, sta

sviluppando la missione Marpost, che prevede una missione orbitale ibrida (uomini e robot) su Marte, nella quale l'equipaggio umano si manterrà in orbita attorno a Marte, mentre dei robot saranno trasferiti sulla superficie per l'esecuzione di verifiche sperimentali e campionamenti di suolo. Il progetto definitivo dovrebbe essere completato nel 2012 e la nave spaziale nel 2021.

## 1.8 Il Programma Aurora



Figura 9 - Programma Aurora

Marte è oggetto di particolare attenzione nell'ambito del Programma Aurora dell'Agenzia Spaziale Europa, un programma a lungo termine avente come obiettivo lo sviluppo di strategie di esplorazione robotica ed umana del Sistema solare.

Il Programma Aurora dell'Agenzia Spaziale Europea è un ambizioso programma di esplorazione spaziale basato su sonde automatiche e

esplorazione umana del Sistema Solare e in particolare del pianeta Marte e prevede di giungere per tappe all'esplorazione umana del pianeta rosso.

Attualmente i piani prevedono una spedizione umana per Marte nel 2030. La commissione degli stati membri partecipa per un periodo di cinque anni (il primo periodo è il 2005 - 2009). Allo scadere di ogni periodo i singoli stati possono decidere di cambiare il loro livello di partecipazione, possono entrare o uscire dal programma.

## **Missioni principali del Programma Aurora**

Nella prima decade sono pianificate missioni robotizzate, in particolare ci sono due missioni principali per il programma Aurora (al settembre 2005):

- ExoMars, una missione senza equipaggio basata su rover, il cui lancio, inizialmente previsto per il 2011, è stato successivamente spostato al 2016, per l'esplorazione della superficie marziana.

La particolarità del rover sarà la capacità di prendere decisioni autonome.

In seguito alle difficoltà, prevalentemente economiche, incontrate dall'ESA nel completamento della missione, l'ESA e la NASA hanno stabilito di procedere sinergicamente nella futura esplorazione del pianeta rosso. È stato quindi predisposto un memorandum d'intesa, indicato come Mars Exploration Joint Initiative (MEJI), che costituirà la cornice entro cui si inquadreranno le missioni delle due agenzie spaziali negli anni 2016, 2018 e 2020. Nello specifico la NASA dovrebbe contribuire costruendo l'orbiter e fornendo il razzo vettore per il lancio.

- La missione senza equipaggio Mars Sample Return (MSR), il cui lancio è previsto per il 2020-22, raccoglierà rocce e campioni del suolo marziano e per la prima volta li riporterà sulla Terra dove verranno analizzati. La missione potrebbe subire modifiche in seguito al MEJI.

## **Piano di sviluppo del Programma Aurora**

Il piano di sviluppo proposto (al 30 settembre 2005; questa proposta probabilmente subire cambiamenti in futuro) comprende:

- 2007 Rientro sulla Terra di una capsula/veicolo.
- 2013 ExoMars, e Mars rover. Gli obiettivi scientifici includono studi exobiologici e studi della superficie di Marte.
- 2014 Missione dimostrativa con equipaggio umano per dimostrare la validità delle tecnologie di assemblaggio orbitale, aggancio orbitale, supporto di forme di vita umane in abitazioni.
- 2016 Missione Mars Sample Return.
- 2018 Una dimostrazione tecnica di aerobraking/aerocapture, propulsione elettrica solare e atterraggio morbido.
- 2024 Missione umana sulla Luna.
- 2026 Missione automatica su Marte.
- 2030/2033 Prima missione umana su Marte, sarà una missione divisa in più lanci.

## **1.9 Le Missioni Arrow**

Le Missioni Arrow sono delle dimostrazioni tecniche concentrate sullo sviluppo di tecnologie necessarie per le missioni principali. Le missioni Arrow attualmente approvate sono (al 30 gennaio 2003):

- Earth re-entry vehicle/capsule, un componente che verrà utilizzato nella missione Mars Sample Return;
- Mars aerocapture demonstrator, un futuro sviluppo della tecnica che utilizza l'atmosfera del pianeta di arrivo per rallentare la sonda e porla in orbita.

Quest'ultima missione sembra verrà modificata e ampliata nella nuova missione che sperimenterà aerobraking/aerocapture, propulsione elettrica solare e atterraggio morbido e dovrebbe essere lanciata nel 2018.

## Capitolo II

### “La Missione ExoMars”

#### 2.1 ExoMars



Figura 10 - Modello di ExoMars - ILA 2006 (Berlino)

ExoMars è il nome di una missione europea di esplorazione marziana attualmente in sviluppo dall'Agenzia Spaziale Europea (ESA) in collaborazione con la NASA, che prevede sostanzialmente due fasi:

- l'invio di un orbiter ed un dimostratore tecnologico di ingresso e discesa nel 2016;
- due rover, uno europeo ed uno della NASA nel 2018, su Marte.

La missione fa parte del Programma Aurora e combina lo sviluppo tecnologico con ricerche di grande interesse scientifico. Questa missione è stata studiata per fornire all'Europa nuove tecnologie per l'esplorazione di Marte, in particolare per il sistema di ingresso, discesa e atterraggio (EDLS) che sarà testato nella prima missione e il sistema Drill and Sample

Preparation and Distribution (SPDS), che sarà testato sul rover della seconda missione. L'Italia, in particolare, ha stanziato 281 milioni di euro per la missione. Il territorio italiano ospiterà anche un centro di controllo.

## **Obiettivi della Missione ExoMars**

Gli obiettivi scientifici principali sono:

- studiare l'ambiente biologico della superficie e cercare eventuali tracce di vita, passata o presente;
- caratterizzare la geochimica del pianeta e la distribuzione dell'acqua;
- identificare possibili pericoli sulla superficie, in previsione di future missioni con equipaggio;
- aumentare la conoscenza dell'ambiente e la geofisica marziana.

Gli altri obiettivi comprendono lo sviluppo di tecnologie in vari campi, necessarie per il successo di future missioni robotiche e con equipaggio, ovvero:

- atterraggio di grandi carichi su Marte;
- sviluppo di energia solare sulla superficie;
- mobilità sul terreno.

## **Svolgimento della missione ExoMars**

La prima parte della missione congiunta avverrà nel 2016, attraverso il lancio di un orbiter (Mars Trace Gas Mission) e del dimostratore tecnologico EDL (di ESA) attraverso un Atlas V fornito dalla NASA.

Nel 2018 partirà un secondo Atlas V con i due rover, ExoMars europeo e il rover americano. Dopo essere atterrato sulla superficie marziana, ExoMars inizierà la sua missione della durata di 6 mesi (180 sol), mentre l'orbiter studierà il pianeta almeno per 6 anni.



**Figura 11 - Modello del rover in movimento**

Il rover utilizzerà sia pannelli solari per generare elettricità, che una unità di produzione di potenza a decadimento di atomi di Plutonio. A causa delle difficoltà di controllo a distanza, dovute al ritardo della trasmissione dei segnali a grande distanza, ExoMars possiederà un software autonomo per la navigazione sul terreno.

I dati saranno ritrasmessi alla Terra attraverso la sonda statunitense Mars Reconnaissance Orbiter, dalla sonda europea Mars Express o dall'orbiter lanciato nel 2016.

E' da evidenziare che il progetto ambizioso per l'Italia, che ha un ruolo di rilievo non solo sul piano scientifico, ma anche perché il nostro paese è candidato a ospitare il centro di controllo a terra del robot: il ROCC (Rover Operative Control Center) dove lavorerà il team di tecnici e scienziati, potrebbe infatti essere realizzato a Torino da Altec, società partecipata da ASI, Thales Alenia Space (Finmeccanica/Thales) e dal consorzio pubblico-privato Icarus.

## **Strumentazione di ExoMars**

La strumentazione prevede:

- Strumenti panoramici e a raggio lungo ovvero:
  - Panoramic Camera System (PanCam), usata per la navigazione e la ripresa del terreno circostante. È costituita da due camere stereo ad ampio angolo e una camera ad alta risoluzione.
  - Mars Infrared MApper (MIMA), uno spettrometro ad infrarossi per la rilevazione dell'acqua.
  - Water Ice and Subsurface Deposit Observations on Mars (WISDOM).
  
- Strumenti a contatto che studiano la superficie e le rocce tramite contatto diretto:
  - Close-up Imager (CLUPI), camera per riprese ravvicinate.

-Mössbauer Spectrometer (MIMOS II), spettrometro Mössbauer in miniatura già utilizzato nella missione Mars Exploration Rover.

-DIBS sistema per la perforazione.

- Strumenti di analisi, che sono strumenti interni utilizzati per lo studio dei campioni raccolti:

-microscopio per la scansione dei campioni raccolti dalla perforazione.

-Spettrometro Raman/Laser Induced Breakdown Spectroscopy (Raman/LIBS).

-Urey Instrument che comprende il Subcritical Water Extraction (SWE), il Mars Organics Detector (MOD), il Mars Oxidant Sensor (MOI) e il Microchip Capillary Electrophoresis (CE).

Essi analizzeranno i composti solubili presenti nell'acqua estratta dal suolo e dai campioni di roccia alla ricerca di molecole organiche.

Abbiamo inoltre:

-Molecular Organic Molecule Analyzer (MOMA).

-Specific Molecular Identification of Life Experiment (SMILE) o Life Marker Chip (LMC), in grado di rilevare dei marcatori biologici per eventuali tracce di vita passata o presente.

-Mars X-Ray Diffractometer (Mars-XRD), in grado di fornire l'esatta composizione dei minerali cristallini.

- Strumenti ambientali, per studiare l'ambiente marziano:
  - Sensore per le radiazioni ionizzanti.
  - UltraViolet - Visible Spectrometer (UVIS).
  - Atmospheric Relaxation and Electric Field sensor (ARES).
  - Martian Environmental DUSt Systematic Analyser (MEDUSA), la responsabilità del quale è affidata all'Osservatorio Astronomico di Capodimonte, fornirà misure dirette sui parametri riguardanti le proprietà fisiche e dinamiche della polvere e l'abbondanza di vapore acqueo su Marte.
  - Advanced Environmental Package (METEO-ATM).
  
- Strumenti geofisici, che sono un gruppo di strumenti fissi proposti per lo studio della geofisica e per analisi ambientali.

I parametri misurati saranno di grande importanza per la comprensione del pianeta e la sua eventuale abitabilità a lungo termine. Gli strumenti monitorizzeranno eventi sismici, attività tettonica e vulcanica, oltre alla misurazione del campo magnetico, della radiazione ultravioletta, la polvere, il vento e l'umidità. Dovrebbero avere una durata di almeno 6 anni sul pianeta, in modo da poter iniziare la costituzione di una rete di stazioni scientifiche sulla superficie marziana e la misurazione delle variazioni ambientali sul lungo periodo.

## **2.2 Il Consorzio CO.RI.S.T.A. e la sua attività nel progetto ExoMars**

Il CO.RI.S.T.A. (COnsorzio di RIcerca su Sistemi di Telesensori Avanzati) è un consorzio senza fini di lucro. È stato costituito a Napoli nel 1988, con lo scopo di promuovere una stretta cooperazione fra le Università e le Industrie nei settori legati al telerilevamento aerospaziale. Ha avuto, pertanto, fin dall'inizio, una rappresentanza di membri universitari e di membri industriali, che hanno contribuito, ognuno secondo le proprie peculiarità e attitudini, a fare del consorzio una struttura estremamente flessibile e ricca di risorse diversificate e specializzate.

Il consorzio si occupa della progettazione, lo sviluppo prototipale e l'applicazione di avanzati sensori per il telerilevamento che possono essere imbarcati su piattaforme terrestri, aeree e spaziali (palloni, aerei, elicotteri e satelliti). Svolge attività di ricerca e sviluppo prototipale nel settore dei sistemi di telerilevamento, comprendendo anche gli aspetti riguardanti il loro controllo in operazione e all'elaborazione dei dati da essi generati. Le aree di competenza tecnica, nell'ambito del telerilevamento, vanno dalla definizione e simulazione di sensori innovativi da aereo e di prototipi di sottosistemi da satellite allo sviluppo di algoritmi di elaborazione dati.

Le attività di ricerca del progetto ExoMars da parte del Co.Ri.S.T.A. sono iniziate nel 2011.

Il CO.RI.S.T.A. è coinvolto nelle attività di test del Radar Doppler Altimeter (RDA) di ExoMars, in particolare ha il compito di progettare, sviluppare e testare i due Echo Simulator Systems (ESS1 e ESS2). I due Sistemi Echo Simulator saranno integrati nell' Electrical Ground Support Equipment (EGSE) del radar e CO.RI.S.T.A. supporterà la fase di integrazione nell' EGSE di Thales Alenia Space Milano, per quanto

riguarda l' ESS1, e nel GNC SCOE (Guide Navigation and Control subsystem) di Thales Alenia Space Torino, per quanto riguarda l'ESS2.

Ognuno dei due Sistemi Echo Simulator è composto dai seguenti sottosistemi:

- Radio Frequency Front End (RFFE);
- Signal Reference Distribution Unit (SDRU);
- Rack Power Distribution Unit (RPDU);
- Echo Generator (EG);

che servono in vario modo per permettere la trasmissione dei dati tra il radar e l'EGSE.

In un secondo progetto CO.RI.S.T.A. è responsabile della progettazione e sviluppo del "cuore" del sistema di test del Radar Doppler Altimeter (RDA) di ExoMars, ovvero l'Echo Generator, che permette di simulare gli echi provenienti dalla superficie di Marte ed iniettarli nel radar per testare lo strumento in varie condizioni operative.

## **Capitolo III**

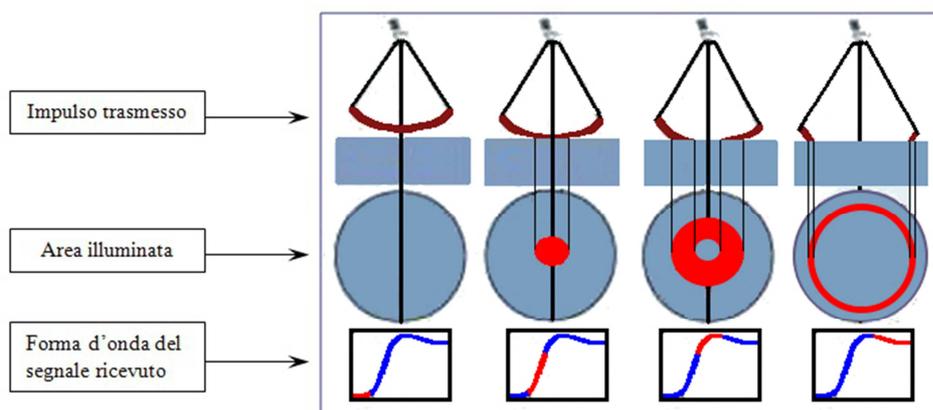
### **“Il radar altimetro e il sistema di Test di terra”**

#### **3.1 L’RDA – Radar Doppler Altimetro**

Al fine di elaborare un sistema di test efficace, è utile comprendere il funzionamento di un Radar RDA altimetro.

L’altimetria si occupa di misurare la quota assoluta di un punto rispetto ad una superficie di riferimento. Quindi, il principale obiettivo del radar altimetro è di misurare con grande precisione, attraverso l’invio di un impulso verso la superficie, il ritardo, la potenza e la forma d’onda dell’eco ricevuto. Attraverso questi parametri, che sono legati alla distanza dell’altimetro dalla superficie osservata, alla velocità del vento e ad altre variabili ambientali, si vuole calcolare i parametri d’interesse.

Nei radar altimetri convenzionali viene studiata la risposta del terreno ad un impulso, trasmesso da una antenna del radar, per valutare l’altezza. Come mostrato in Figura12, inizialmente il segnale incidente illuminerà una superficie circolare.



**Figura 12 - Rappresentazione teorica di un radar altimetro convenzionale, dell'area illuminata e della forma d'onda del segnale ricevuto**

In seguito, a mano a mano che il fronte dell'onda si sposta in avanti, la superficie illuminata diventerà una corona circolare che si allarga, fino al limite corrispondente all'apertura del fascio di antenna. L'energia riflessa da una superficie piana, la cui rugosità è dello stesso ordine della lunghezza d'onda del radar, è proporzionale all'area illuminata. Quindi, l'ampiezza dell'eco di ritorno crescerà, inizialmente, quasi istantaneamente, e poi si manterrà costante, in quanto le aree delle superfici illuminate in istanti diversi sono uguali (aumenta il raggio delle corone circolari illuminate ma diminuisce lo spessore). In realtà l'andamento dell'eco non risulterà piatto a causa delle dimensioni finite dell'antenna. La posizione del centro del fronte di salita corrisponde alla distanza (media) dalla superficie di riferimento.

Il radar ad apertura sintetica (SAR) è un sensore di tipo attivo a microonde, e viene utilizzato nell'osservazione del suolo terrestre da un velivolo in movimento. Ha un'alta risoluzione azimutale, dovuta a una tecnica di elaborazione coerente dei segnali di ritorno dai singoli elementi del terreno osservati. Poiché il veicolo è in moto, i singoli elementi del terreno riflettono gli impulsi del radar più volte sotto diverse angolazioni, fornendo

un'evoluzione doppler che va sotto il nome di "storia doppler". La frequenza doppler è la differenza tra la frequenza del segnale ricevuto dall'osservatore e quello inviato dalla sorgente. Questa differenza è dovuta ad una variazione della distanza relativa nel tempo tra la sorgente e l'osservatore.

L'approccio dell'apertura sintetica viene applicato ai radar altimetri, utilizzando un'antenna puntata verso la direzione del nadir, ossia la direzione perpendicolare al terreno e passante per l'osservatore. L'apertura reale dell'antenna, nella direzione del moto del velivolo, viene suddivisa in più fasci, ognuno dei quali illumina un'area, la cui ampiezza dipende solo dalla modulazione Doppler, causata dal moto dell'altimetro. In un radar altimetro ad apertura sintetica, le corone circolari sono divise, dai fasci Doppler, in strisce perpendicolari alla direzione del moto. L'area delle superfici limitate dalle strisce e dagli archi di corona circolare diminuisce rapidamente all'allontanarsi lungo la direzione perpendicolare al moto. Di conseguenza l'eco di ritorno non presenterà l'andamento visto per i radar altimetri convenzionali, bensì avrà una rapida caduta come mostrato in Figura 13 e 14.

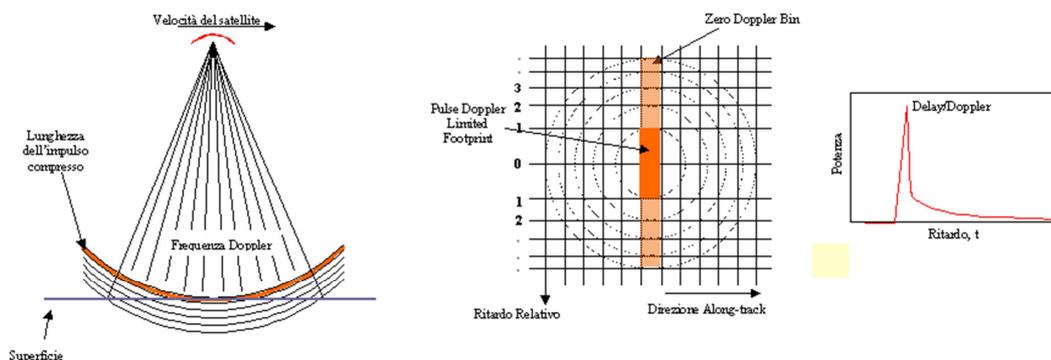


Figura 13 - Rappresentazione di un Radar Doppler Altimetro RDA

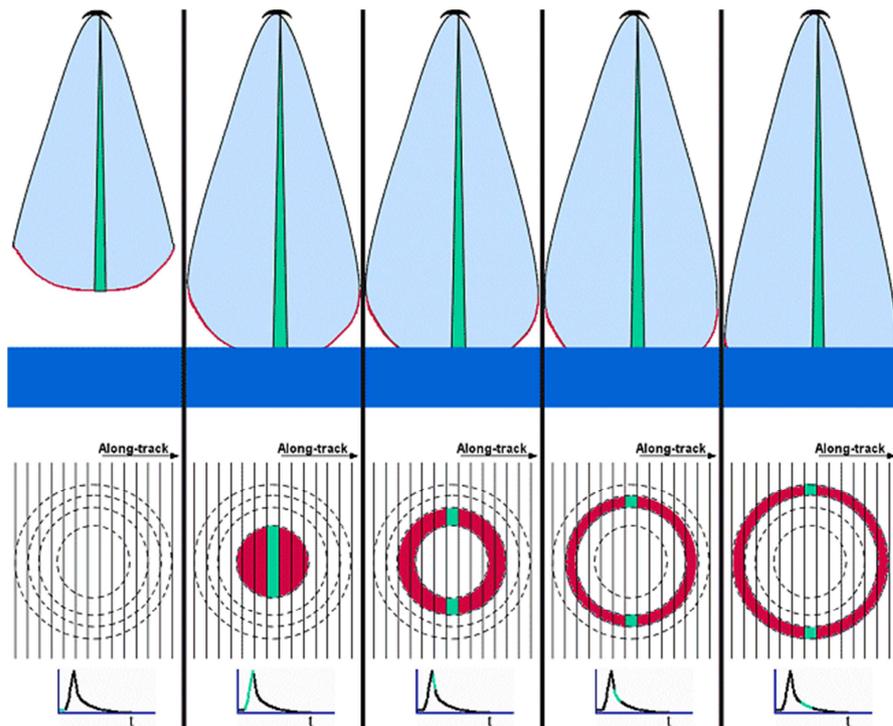


Figura 14 - Funzionamento teorico di un RDA, dell'area illuminata e della forma d'onda del segnale ricevuto

Il radar RDA Altimetro si basa sulla trasmissione di un impulso stretto non modulato e sulla ricezione di un corrispondente eco generato dall'iterazione con il terreno.

Dalla caratteristica temporale dell'eco ricevuto (tempo di ritardo e forma d'onda) è possibile recuperare informazioni relative allo Slant Range, ovvero sulla distanza tra l'antenna e il terreno nella direzione dell'antenna. Dalla correlazione complessa invece degli echi generati da successivi impulsi, è possibile dedurre la componente di doppler.

Da relazioni matematiche è poi possibile trasformare le misure di quota in velocità.

L'RDA prevede un'unica catena di ricezione e di trasmissione connessa, attraverso una matrice di switch e circolatori, alle quattro antenne utilizzate

dal radar. Una delle quattro antenne è dedicata per fare misure di altezza (funzione di altimetro), mentre le altre tre antenne sono utilizzate per eseguire misure di velocità (funzione doppler).

L'antenna dedicata alla misura della quota è indentificata come "Beam 0" ed è caratterizzato da parametri specifici (tempo di persistenza PRF) e dalla forma d'onda dell'impulso inviato (larghezza dell'impulso). Le altre tre antenne, dedicate per la misura della velocità, sono utilizzate per monitorare dei parametri normalmente differenti da Beam 0.

L'accesso ad ogni singolo fascio avviene in divisioni di tempo. Secondo una certa frequenza di aggiornamento sono forniti una nuova misura di distanza e tre nuovi valori di velocità dal Descent Module (DM). Questo intervallo di tempo è diviso in quattro time slot ciascuno dedicato alla trasmissione, ricezione ed elaborazione del segnale a/da ogni singola antenna. Una rappresentazione della geometria delle antenne è mostrata in Figura 15.

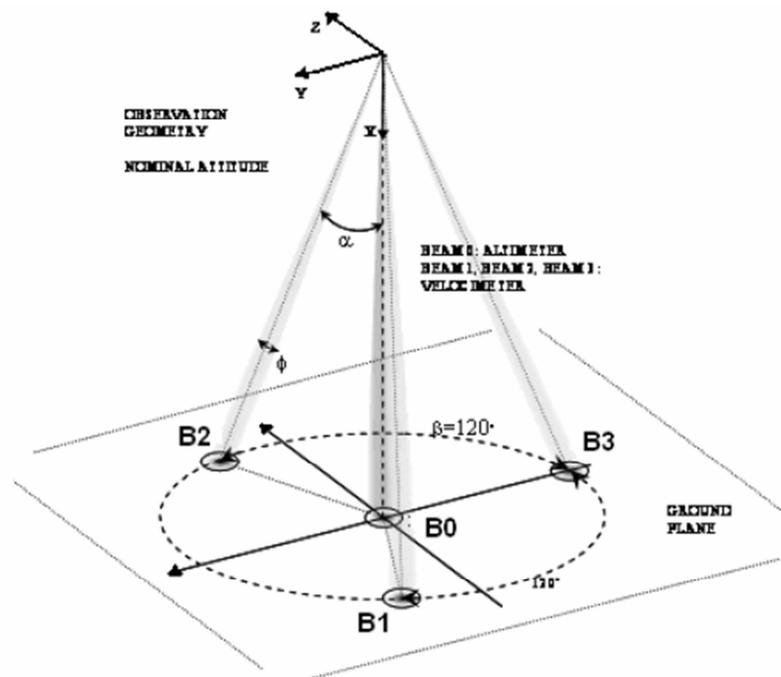


Figura 15 - Strategia di osservazione della superficie

I Parametri del radar RDA sono:

- una portante a 35.76GHz (per massimizzare la potenza dell'eco riflesso e la risoluzione della misura della velocità);
- quattro antenne (per ottenere quattro misure di velocità indipendenti e quattro misure accurate di slant range);
- direttività dell'antenna >34 dB (per massimizzare la potenza dell'eco riflesso);
- larghezza dell'impulso trasmesso di 40÷2560 ns (Limite massimo per massimizzare la potenza dell'eco riflesso e il limite minimo per assicurarci di eseguire delle misure a bassa quota);
- una PRI (distanza tra due impulsi trasmessi) di 10÷240µs.

Bisogna quindi realizzare:

- la generazione di un segnale di riferimento per la coerenza globale tra gli strumenti;
- la generazione di una portante a bassa frequenza;
- la Frequency Up Conversion tale che la banda di trasmissione sia uguale alla Ka Band;
- l'amplificazione di potenza per la conformità richiesta dall'SNR;
- Tx/Rx Routing e Branking per isolamento tra Tx e Rx;
- i quattro Beam Routing per misurare indipendentemente inclinazione e velocità;
- la ricezione degli echi e il filtraggio, per l'ottimizzazione dell'SNR;
- la ricezione segnale di Down Conversion per future digitalizzazioni;
- l' Analog/Digital Conversion per future elaborazioni digitali;

- l'elaborazione degli echi per valutazione di inclinazione e velocità;
- EDM Bus I/F;
- la struttura meccanica EDM I/F;
- la distribuzione di potenza DC/DC;
- la gestione CMD/TLM;
- le principali commutazioni ridondanti.

Le funzionalità elencate possono essere raggruppate in :

- funzioni RF;
- funzioni digitali;
- funzioni di routing;
- Radiating Function;
- funzioni I/F;
- funzioni CMD/CTRL/PWR.

Le funzioni sopra elencate sono riportate nel diagramma sottostante in Figura 16.

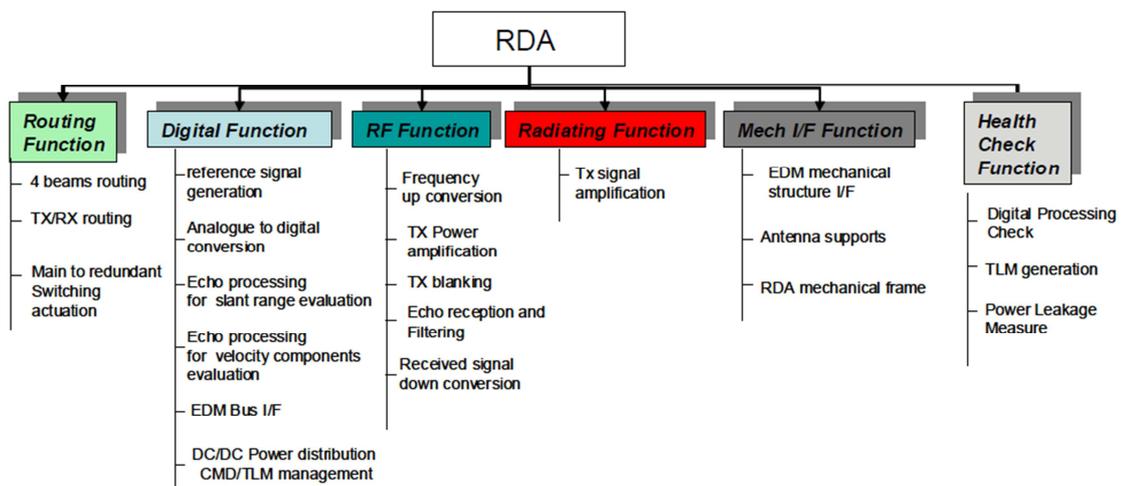


Figura 16 - Diagramma funzionale RDA

L'architettura interna dell'RDA è mostrata di seguito in Figura 17.

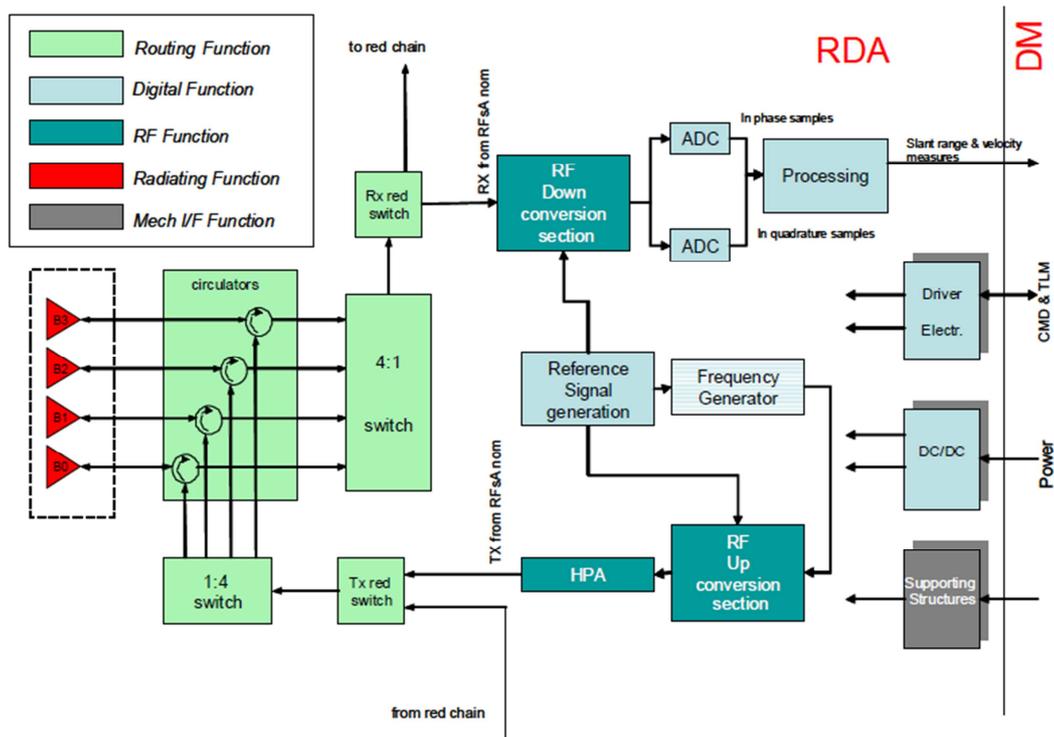


Figura 17 - Architettura RDA

### 3.2 Presentazione globale dell'EGSE RDA

Le fasi relative all'assemblaggio, all'integrazione e la validazione di un veicolo di lancio sono passi fondamentali nello sviluppo di un sistema così delicato e costoso. Le apparecchiature utilizzate per questa cruciale e lunga fase costituiscono il Mechanical Ground Support Equipment (MGSE) e l'Electrical Ground Support Equipment (EGSE). Queste note descriveranno il sistema EGSE del radar di avvicinamento di ExoMars.

Per L'EGSE RDA sono previste due configurazione di test che sono:

- RDA standalone (instrument level integration);
- RDA in closed loop con EXOMARS Entry Descent Landing Demonstrator Module (EDM) (EDM system level integration).

Per ogni configurazione di test sono previste apparecchiature diverse che compongono l'EGSE mentre l'Eco Simulator System (ESS) che verrà utilizzato in entrambe le configurazioni è sempre lo stesso.

### **3.3 RDA EGSE instrument level integration**

Per l'integrazione con il radar RDA, il sistema deve rispondere ad alcune specifiche; le specifiche dell'ESS sono descritte in alcuni documenti rilasciati da Thales Alenia Space. In questi documenti, vengono descritti i requisiti relativi alle parti affidate al CO.RI.S.T.A., incluso l'Echo Generator (EG).

La Figura 18, mostra l'architettura dell'EGSE quando l'RDA è in open loop con l'Entry Descent Module (EDM).

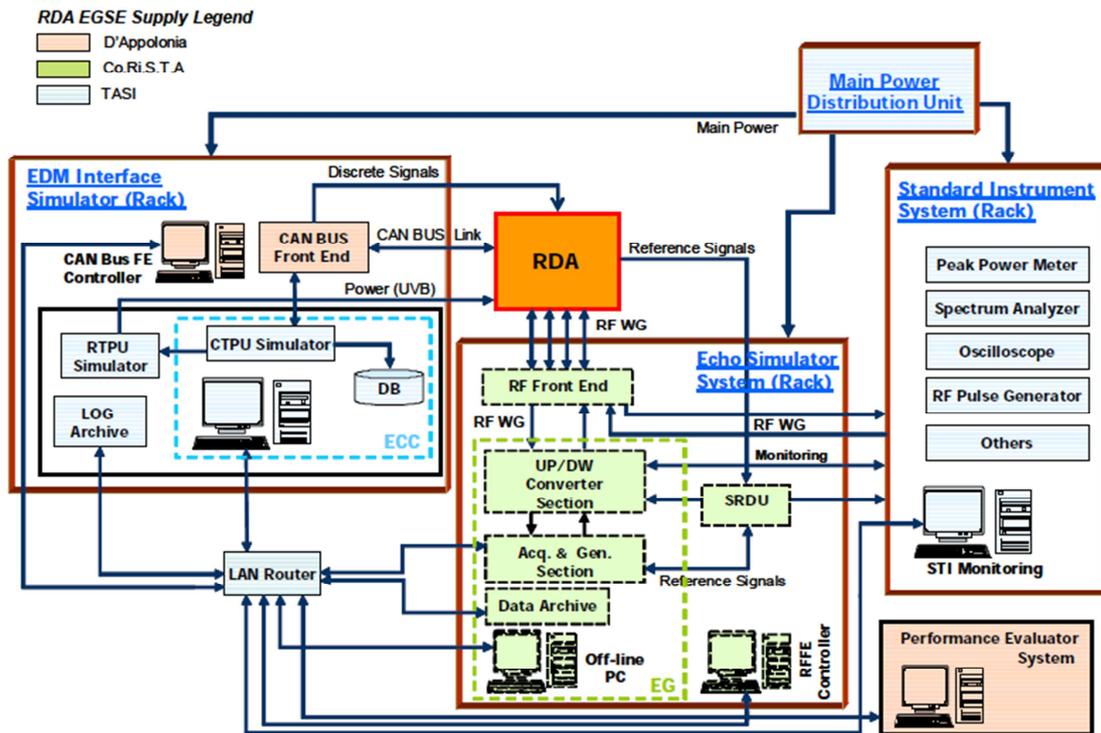


Figura 18 - Schema a blocchi dell'RDA EGSE open loop

Il sistema in figura soprastante è costituito da quattro blocchi principali che sono:

- Unità di alimentazione, Main Power Distribution Unit (MPDU);
- Simulatore di interfaccia EDM (EDM Interface Simulator - EIS);
- Echo Simulator System (ESS);
- Sistema di Strumenti Standard (STI).

L'MPDU fornisce l'energia a ognuno dei tre chassis EGSE distinti (EIS, ESS, STI).

Il simulatore dell'interfaccia con il modulo EDM (EIS) dovrà:

- emulare l'interfacciamento tra l'RDA e l'unità centrale dell'EDM attraverso i simulatori RPTU (Remote Terminal and Power Unit Simulator) e CTPU.

- Raccogliere la sequenza di test e dati rilevanti, attraverso un database (DB) dedicato.
- Deve permettere di scegliere la sequenza di test attraverso la workstation e il LOG Archive; in particolare, il simulatore RTPU fornisce l'alimentazione all'RDA mentre il simulatore CTPU fornisce i comandi e preleva i dati di telemetria calcolati dal radar attraverso un collegamento CAN Bus dedicato ed ha funzione di controllo dello stesso RPTU.
- La Work Station (WS) deve permettere la selezione di un appropriato Test Case e di eseguire la sequenza di test attinente.
- Il Log Archive deve monitorare il test consentendo l'esecuzione di un'analisi post-processing.
- Il Can Bus Front End interfaccia il simulatore CTPU e il CAN BUS link.

Poiché il simulatore CTPU insieme al Database e la relativa WS, rappresenta il cuore dell'EGSE, essi sono identificati come EGSE Central Computer (ECC).

L' Echo Simulator invece deve:

- interfacciare la sezione RDA a radio frequenza e Standard Instrument System attraverso la RF Front End.
- Simulare l'eco generato dall'iterazione tra il segnale trasmesso dall'RDA e la superficie marziana.
- Raccogliere l'eco digitale generato e il segnale RDA in banda base digitalizzato nel relativo Data Archive.
- Eseguire la valutazione post-processing su dati memorizzati nel Data Archive e Log Archive attraverso Performance Evaluator (PE).

- Monitorare la generazione dell'eco e la Radio Frequency Front End (RFFE) attraverso I/O della WS.
- Ricevere i segnali di riferimento (50MHz, PRI trigger, selezione del fascio, tipo di impulso) dall'RDA e redistribuirli all'Echo Simulator e al Standard Instruments System (SIS) attraverso l'SRDU (Signal Reference Distribution Unit).

Il sistema SIS (Standard Instruments System) deve interfacciare l'SRDU per sincronizzare gli strumenti con l'RDA ed è costituito da:

- un sintetizzatore a 35.76 GHz;
- un misuratore di potenza di picco/media;
- un analizzatore di spettro;
- un oscilloscopio;
- standard instruments monitoring WS per SAP sequence running.

Tutte le WSs sono connesse attraverso un router LAN (10/100/1000 Gb/s).

### **3.4 RDA EGSE EDM level integration**

L'obiettivo dell'integrazione dell'RDA EGSE al livello EDM è di racchiudere il simulatore GNC in closed loop. Per questo motivo la condizione di real time è obbligatoria. Il simulatore GNC fornisce di volta in volta dei dati relativi all'assetto e alla velocità dell'EDM.

L'architettura è mostrata di seguito in Figura 19.

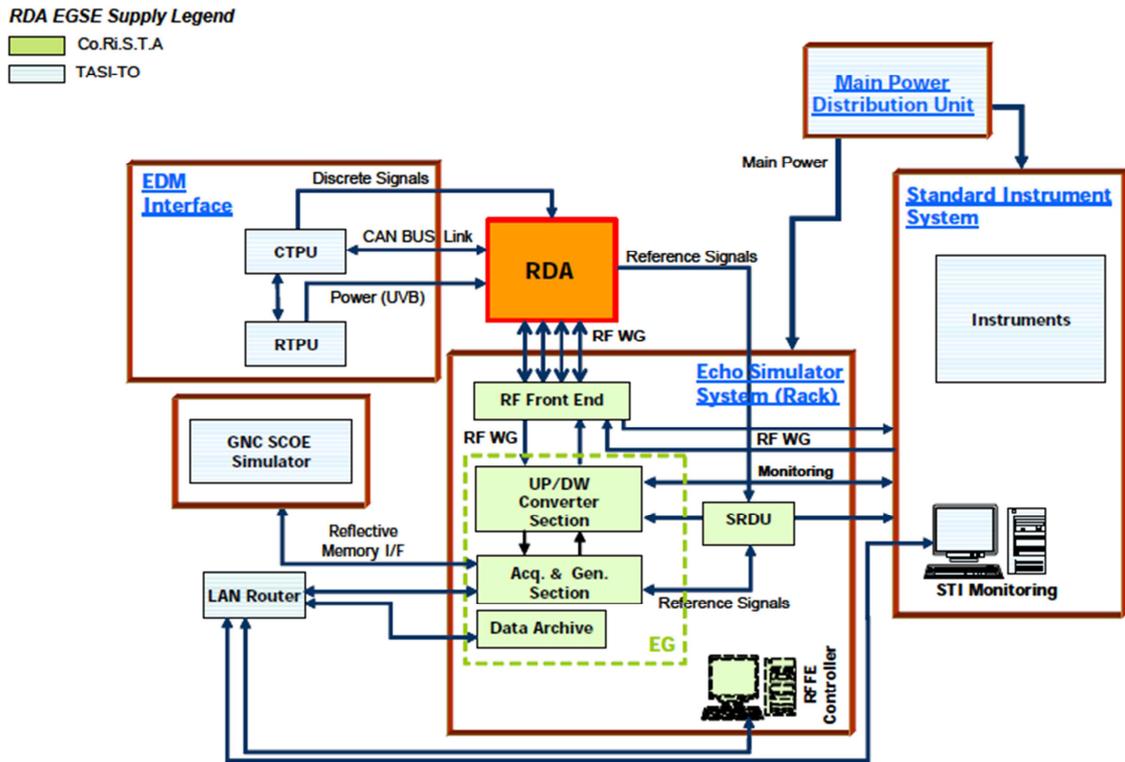


Figura 19 - RDA EGSE EDM level integration

L'apparecchiatura dell'EGSE, che deve essere fornita per l'integrazione al livello EDM, deve essere composta dal solo Echo Simulator System, dove però i dati relativi all'eco non devono essere precaricati nel Data Archive e poi (durante l'esecuzione del test) inviati nell'RFFE ma devono essere generati real time durante il test.

E' da notare che nella configurazione EGSE EDM RDA si è deciso di utilizzare l'ESS (ESS 2) solo in modalità locale, quindi non c'è l'interfaccia tra l'ESS con il CCS (Central Computer System).

In quest'ultimo caso infatti la sequenza di test selezionata dall'ECC è convertita in informazioni di traiettoria (posizione e velocità iniziali) dall'Echo Generator prima che l'Echo Generator parta.

L'Echo Generator deve ricevere il vettore di stato EDM dal GNC Simulator attraverso un'interfaccia reflective memory.

La reflective memory è una memoria condivisa, basata su una struttura ad anello, con collegamenti in fibra ottica. Questa rete permette di condividere dei dati in real time, con una velocità di trasferimento fissata, indipendentemente dalla struttura del bus e dal sistema operativo utilizzato, quindi ottimale per le richieste del sistema di test.

### **3.5 L'ESS nell' RDA EGSE**

I due Echo Simulator System (ESS1 e ESS2), conterranno le unità Echo Generator (EG1 e EG2) dedicate all'attività di test del radar; in particolare:

- a instrument level (attività di test RDA EM), a verificare le funzionalità dell'RDA e le sue performance, l'ESS in questa configurazione viene controllato localmente e da remoto dall'EGSE Remote Controller (ECC) via Lan;
- a EDM system level (attività di test RDA FM), a verificare le funzionalità dell'RDA, quando è integrato con l'EDM, tenendo presente le interazioni tra essi; in questa configurazione l'ESS è controllato localmente attraverso un'opportuna interfaccia, tenendo presente inoltre che con l'RDA in closed loop l'ESS deve interfacciarsi con il simulatore GNC SCOE.

### **3.5.1 Descrizione generale dell'ESS**

In entrambe le configurazioni dell'RDA EGSE, l'Echo Simulator System deve eseguire le seguenti funzioni:

- ricevere gli impulsi a RF a 35.76 GHz, trasmessi dall'RDA BRSa (Beam Router sub-Assembly) e trasmetterli verso l'Echo Generator Up Converter e strumenti di misura, per immagazzinarli in una memoria di massa dedicata;
- simulare l'eco generato dall'iterazione tra i segnali trasmessi dall'RDA e la superficie marziana secondo il test selezionato;
- trasmettere gli eco 35.76 GHz in Ka-Band generati dall'EG all'RDA e al SIS;
- raccogliere gli eco digitali generati, il segnale digitale in banda base RDA e tutti i dati di input necessari a generare gli echi e consentire l'analisi post-processo in un Data Archive opportuno;
- monitorare l'eco generazione e la RFFE attraverso I/O della WS;
- interfacciare e gestire tutti i segnali di sincronismo e le informazioni provenienti dall'RDA RME (50 MHz, trigger, select beam, pulse type) e ridistribuirli all'Echo Simulatore al SIS.

L'ESS è costituito da tre blocchi principali che sono:

- RF Front End (RFFE);
- Echo Generator (EG);
- Signal Reference Distribution Unit (SRDU).

Questi moduli saranno interfacciati tra loro come nelle Figure 18 e 19 e saranno usati per verificare le funzionalità e le performance dell'RDA.

L'ESS conterrà anche il Rack Power Distribution Unit (RPDU), per l'alimentazione delle unità.

### 3.5.2 Blocchi funzionali dell'ESS

I blocchi funzionali dell'ESS sono:

- ESS Controller (EG Controller e RFFE Controller);
- ESS Catena di trasmissione Tx (da EG a RDA);
- ESS Catena di ricezione Rx (da RDA a EG).

La Figura 20 mostra i canali di trasmissione e ricezione dell'ESS.

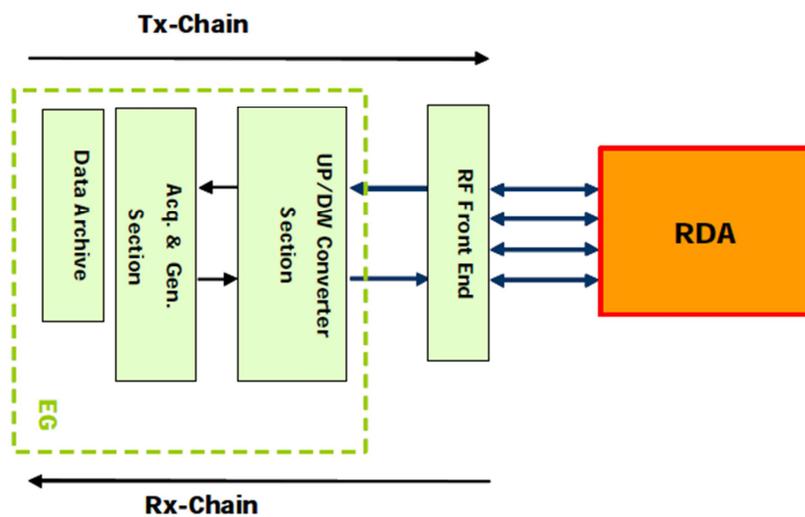


Figura 20 - ESS canali di trasmissione e ricezione

Dove la catena di Tx e Rx sono considerate rispetto l'EG nella Figura 20 soprastante.

### 3.5.3 ESS - Interfacce

L'interfaccia elettrica dell'ESS instrument level, con RDA e con l'EGSE è riportata nella tabella in Figura 21, che riporta l'associazione tra segnali cavi e connettori, descrivendo brevemente il tipo di collegamento. Inoltre una interfaccia LAN principale deve essere usata per comandare e controllare a distanza l'ESS dalla ECC.

SIGNAL NAME	TYPE	CONNECTION	CONNECTOR TYPE (TBC)	REMARKS
Tx/Rx 0	WG WR-28	from/to BRsA to/from RFFE	WR 28	RF transmitted/received signal to/from RFFE port 0
Tx/Rx 1	WG WR-28	from/to BRsA to/from RFFE	WR 28	RF transmitted/received signal to/from RFFE port 1
Tx/Rx 2	WG WR-28	from/to BRsA to/from RFFE	WR 28	RF transmitted/received signal to/from RFFE port 2
Tx/Rx 3	WG WR-28	from/to BRsA to/from RFFE	WR 28	RF transmitted/received signal to/from RFFE port 3
PRI_TRG	DIF (TBC)	From RME to ESS (SRDU)	DBM	The rising edge of PRI_trg is the reference for PRI start (TBC)
SEL_BEAM_0	DIF	From RME to ESS (SRDU)	DBM	Test Point to verify the selected antenna beam
SEL_BEAM_1	DIF	From RME to ESS (SRDU)	DBM	Test Point to verify the selected antenna beam
SWST	DIF	From RME to ESS (SRDU)	DBM	Sampling Window Start Time signal
50MHz_TP	RF - coax	From RME to ESS (SRDU)	SMA	50 MHz reference signal test point

Figura 21 - Interfaccia elettrica dell'ESS verso l'RDA a RDA level configuration

La tabella sopra riportata mostra quindi l'interfaccia tra ESS verso l'RDA level configuration.

In maniera del tutto analoga la tabella sottostante in Figura 22 mostra l'interfaccia tra ESS verso l'EGSE level configuration.

SIGNAL NAME	TYPE	CONNECTION	CONNECTOR TYPE (TBC)	REMARKS
Tx/Rx 0/1/2/3	WG WR-28	from/to ESS (RFFE) to/from SIS	WR 28	RF transmitted/received signal to/from RFFE port 0/1/2/3.
Tx/Rx RF monitor	WG WR-28	From ESS (EG) to SIS	WR 28	To monitor the Tx/Rx RF signal at output/input of the EG ka band Up/Dw Converter (directional coupler).
Tx/Rx IF monitor	coax	From ESS (EG) to SIS	SMA	To monitor the IF signal before/after of the EG ka band Up/Dw Converter (directional coupler).
Tx/Rx IF input	coax	From SIS to ESS (EG)	SMA	To insert an IF signal before/after of the EG ka band Up/Dw Converter (directional coupler).
PRI_TRG	DIF (TBC)	From ESS (SRDU) to SIS	DBM	The rising edge of PRI_trg is the reference for PRI start (TBC)
SEL_BEAM_0	DIF	From ESS (SRDU) to SIS	DBM	Test Point to verify the selected antenna beam
SEL_BEAM_1	DIF	From ESS (SRDU) to SIS	DBM	Test Point to verify the selected antenna beam
SWST	DIF	From ESS (SRDU) to SIS	DBM	Sampling Window Start Time signal
10MHz_TP	RF - coax	From ESS (SRDU) to SIS	SMA	10 MHz reference signal test point
PRI_EG (TBC)	DIF	From ESS (SRDU) to SIS	DBM	The rising edge of PRI_EG (TBC)

Figura 22 - Interfaccia dell'ESS verso l'EGSE a RDA level configuration

Bisogna inoltre utilizzare i files di calibrazione delle guide d'onda forniti da TASI (Thales Alenia Space Italia), per calibrare opportunamente l'intera catena di trasmissione e ricezione come ad esempio la catena di trasmissione e ricezione dell'EG e dell'RFFE, al fine di recuperare le degradazioni del segnale a radio-frequenza, introdotte dalle guide d'onda WR-28 tra RDA BRsA e RFFE.

Questi set-ups conterranno informazioni riguardo relative a degradazioni del segnale RF come ad esempio ritardi elettrici, scostamenti di fase, attenuazione, distorsione, stabilità di ampiezza e di fase.

### **3.5.4 ESS - EDM level configuration**

Quando l'ESS è integrato con le altre apparecchiature per il test in closed loop per la verifica delle funzionalità del radar, l'ESS deve essere comandato e controllato solo in modo locale da un utente, quindi non è prevista la configurazione da remoto.

Pertanto nei test di sistema EDM, tutte le interfacce da/a utente remoto (CCS) saranno rimosse lasciando l'uso del controllo remoto e del protocollo di comunicazione PFLP/HPL solo per il sistema di comunicazione EDM SCOEs. Di conseguenza la sincronizzazione attraverso l'interfaccia NTP non sarà più necessaria per i test del sistema EDM, mentre sarà fornito un nuovo tempo di simulazione da un'interfaccia dedicata tra simulatore EDM GNC SCOE e ESS2 (interfaccia reflective memory).

### **3.5.6 ESS - Interfaccia Elettrica EDM system level configuration**

Quando l'ESS deve essere usato in RDA EGSE EDM system level configuration e quando le funzionalità previste dall'interfaccia di simulazione EDM al S/S level devono essere coperte dal simulatore GNC SCOE, l'ESS deve avere le stesse interfacce delle tabella prima mostrate in Figura 21 e 22.

Inoltre visto che l'ESS deve accettare ed eseguire comandi di configurazione solo in modalità locale attraverso un'interfaccia dedicata, nessuna interfaccia sarà usata per comandare e controllare l'ESS da utente remoto.

### **3.5.7 ESS - Interfaccia reflective memory**

In closed loop con EDM, oltre all'interfacce in open loop riportate nelle tabelle di Figura 21 e 22, l'ESS deve essere dotato di una rete ad alta velocità (reflective memories con fibre ottiche) per ricevere in tempo reale i dati d'ingresso dal simulatore GNC SCOE per simulazioni real time.

Per facilitare l'implementazione del protocollo di comunicazione, la stessa scheda implementata sul GNC SCOE Simulator deve essere implementata nell'ESS. Attraverso le reflective memories, l'ESS riceve in ingresso il segnale di sincronizzazione e ciclicamente i dati di ingresso necessari a generare gli echi simulati in real time.

### **ESS - Ingressi dalla reflective memory**

Attraverso la reflective memory, l'ESS deve ricevere come ingresso il segnale di sincronizzazione e in maniera ciclica i dati di ingresso, riportati nella tabella in Figura 23, necessari a generare gli echi simulati in real time.

I dati di input devono essere memorizzati quando richiesto dall'operatore.

La nota importante è che il vettore di stato è costituito da:

- EDM Body Frame;
- DNE: Ground Base Reflector Frame.

Il DNE è centrato nell'intersezione tra la verticale del luogo (rispetto alla superficie Marziana) e la superficie del pianeta. Gli assi del DNE frame sono definiti di seguito:

- Asse X verso il centro di Marte (verso il basso);

- Asse Y verso nord (direzione Nord);
- Asse Z verso est (direzione Est).

Input Data	Remark
EDM position	The EDM position is part of state vector and it is provided in the DNE reference frame
EDM velocity	The EDM velocity is part of state vector and it is provided in the DNE reference frame
EDM attitude	The EDM attitude is part of state vector and it is provided in the DNE reference frame
EDM angular rate	EDM angular rate is part of state vector and it is provided in EDM body frame
FS Range (B0+B3)	FS distance between each beam center and FS CoG
BSH Range (B0+B3)	BSH distance between each beam center and BSH CoG
FS alpha (B0+B3)	Angle between each beam normal and FS/beam direction
FS beta (B0+B3)	Angle between $-X_{FS}$ axis and each beam/FS direction
BSH alpha (B0+B3)	Angle between each beam normal and BSH/beam direction
BSH beta (B0+B3)	Angle between $-X_{BSH}$ axis and each beam/BSH direction
Slope East direction	Slope of the terrain in East direction given at begin of the simulation, from which the RDA model shall derive the output at each cycle
Slope North direction	Slope of the terrain in North direction given at begin of the simulation, from which the RDA model shall derive the output at each cycle

Figura 23 - ESS dati d'ingresso ciclici dal simulatore GNC SCOE

In Figura 24 riportiamo le posizioni FS, BSH e i dati d'assetto rispetto la posizione dell'RDA.

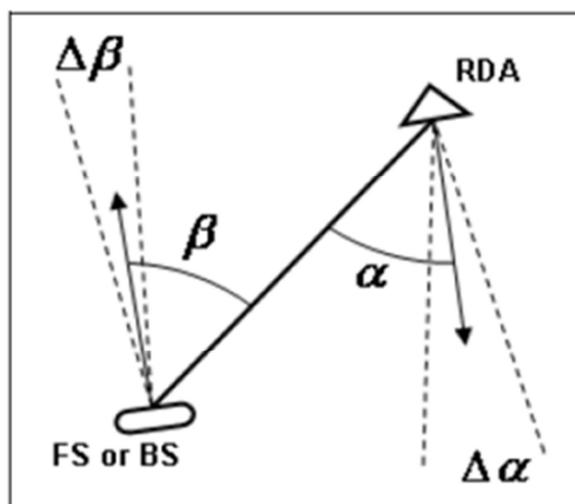


Figura 24 - Posizione FS, BSH e i dati d'assetto rispetto la posizione dell'RDA

Importante è sapere inoltre che i dati d'ingresso del vettore di stato dell'ESS sono aggiornati ogni 10ms (100 Hz).

### 3.5.8 Alimentazione dell'ESS

Le specifiche riguardo l'alimentazione dell'ESS sono le seguenti:

- 220 Vac ( $\pm 10\%$ ), 50 Hz ( $\pm 10\%$ );
- 380 Vac ( $\pm 10\%$ ), 50 Hz ( $\pm 10\%$ ) (se richiesto);
- 110/208 Vac ( $\pm 10\%$ ), 60 Hz ( $\pm 10\%$ ) (se richiesto).

L'ESS deve inoltre essere provvista di una massa di potenza indipendente fornendo in uscita le alimentazioni necessarie alle apparecchiature stesse dell'ESS.

### **3.5.9 Cavi dell'ESS**

Per ciascuna connessione fisica tra l'ESS e l'unità RDA (BRsA e RME), devono essere utilizzati cavi di classe ISO 7 e ISO 8, separati da passanti:

- un cavo, per il collegamento fisico da EGSE ai passanti, conforme alla norma relative camere pulite (ISO 8);
- un cavo, per il collegamento fisico da passanti a RDA, conforme ai requisiti relativi alla Protezione Planetaria (ISO 7).

E' da notare inoltre che:

- le guide d'onda WR 28 tra RDA e RFFE, sono forniti da TASI-RM;
- i cavi dei segnale di riferimento da RDA a SRDU sono forniti dal supplier del rack ESS.

### **3.6 Radio Frequency Front End (RFFE)**

L'RFFE va a testare l'RDA a instrument level e EDM level quando l'antenna non è integrata, quindi esso si trova identicamente sia nell'ESS 1 che nell'ESS 2.

L'RFFE va a interfacciare il Router Beam Sub Assembly (BRsA) dell'RDA con l'Echo Generator e SIS e interfaccia l'EG con SIS.

Il modulo Radio Frequency Front End quindi:

- riceve i 4 segnali Ka Band a 35.76 GHz, passando dal BRsA all'antenna RDA e deve trasmettere ognuno di essi verso l'EG Down Converter rispettando la sequenza di trasmissione del BRsA;
- riceve gli eco simulati forniti dall'EG Up Converter e li trasmette ai 4 fasci (B0, B1, B2, B3) del BRsA a 35.76 GHz;

- fornisce un'interfaccia d'ingresso ausiliaria per inviare segnali RF verso l'EG Down Converter e i fasci RDA (B0, B1, B2 e B3).

La Figura 25 mostra in maniera semplice le connessioni dell'RFFE sopra descritte.

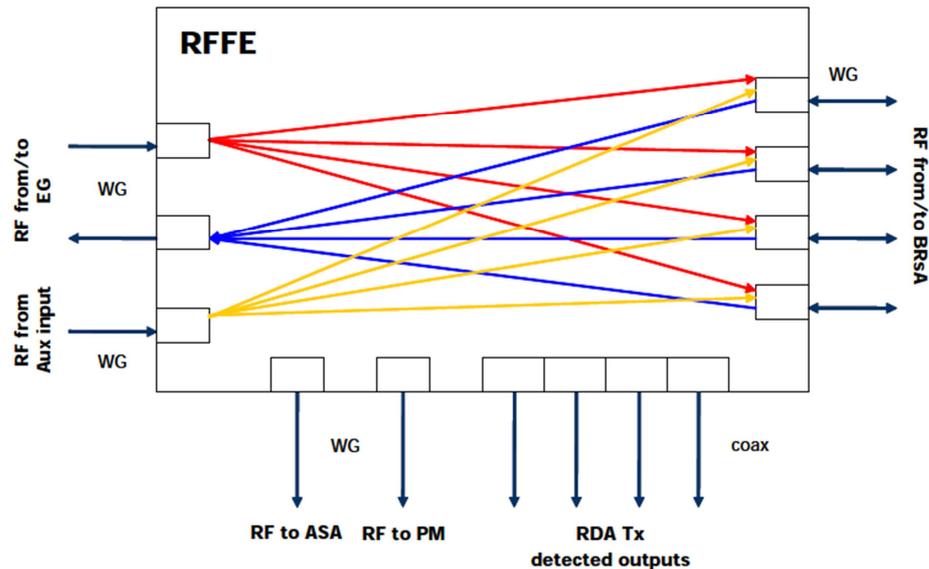


Figura 25 - RFFE connections between BRSA, EG and auxiliary input

### 3.6.1 Descrizione generale dell'RFFE

L'RFFE consente il routing mediante un modulo di switch, di tutti i segnali RF:

- a/da RDA;
- a/da EG;
- da input ausiliari verso strumenti di misura dell'EGSE per consentire la caratterizzazione del segnale a radio frequenza.

Inoltre consente l'invio di un segnale ausiliario d'ingresso all'EG Down Converter e a connettere l'ingresso dell'EG e la porta d'uscita per test specifici. L'RFFE infine fornisce quattro uscite a radio frequenza provenienti dal BRsa. La seguente Figura 26, mostra le connessioni descritte.

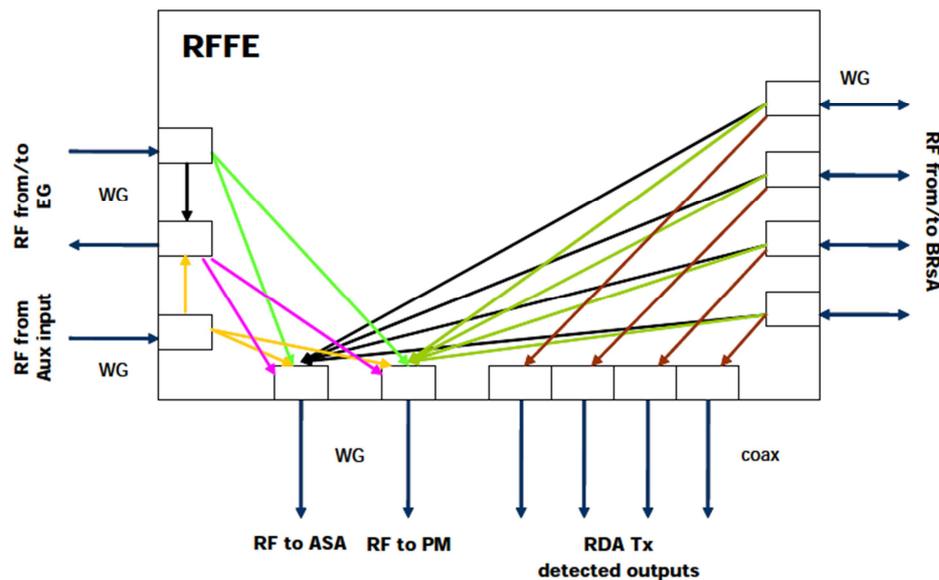


Figura 26 - Connessioni RFFE tra BRsa, EG, ingresso ausiliario e SIS

Il modulo RFFE fornisce anche, se necessario, un condizionamento del segnale e quindi un'amplificazione o attenuazione, in modo tale da evitare danni agli strumenti dell'RDA, dell'Echo Generator e alle apparecchiature di Test consentendo l'esecuzione di appropriate misure.

Nella configurazione EGSE instrument level, l'RFFE deve essere controllato da locale o da remoto dall'EGSE Remote Controller (ECC) via Lan. Pertanto in configurazione open loop, le principali funzioni dell'FEE devono essere disponibili per l'operatore sia quando l'FEE è comandato localmente o quando è controllato da remoto dall'ECC.

Nella configurazione dell'EGSE a EDM System Level, l'RFFE deve essere solo controllato localmente; pertanto in closed loop con EDM, le funzioni principali dell'FEE devono essere disponibili per l'operatore se lo stesso FEE è comandato localmente.

### **3.6.2 Architettura dell'RFFE**

Il modulo RFFE è costituito da una unità di switch, attenuatori, amplificatori, isolatori, accoppiatori direzionali e circolari, che permettono il routing del segnale RF proveniente dall'RDA alle porte d'uscita selezionate (cioè EG e SIS) e il routing degli echi da EG o del segnale RF da ingressi ausiliari a porte d'uscita selezionate, con un adeguato livello di potenza del segnale.

Gli switch devono selezionare di volta in volta:

- uno dei 4 segnali RF provenienti dal BRsa (B0, B1, B2, B3);
- il segnale proveniente dall'EG Up Converter;
- il segnale proveniente da porte ausiliarie e il routing di esso al misuratore di potenza e all'analizzatore di spettro per il monitoraggio dei segnali RF.

L'RFFE deve essere quindi in grado di indirizzare:

- uno dei quattro segnali provenienti dall' RDA BRsa (B0, B1, B2, B3) a EG Down Converter;
- i segnali RF provenienti dall'EG Up Converter o da ingressi ausiliari a radio frequenza a una delle quattro porte dell'RDA BRsa o al SIS;

- il segnale RF generato da EG o da un ingresso ausiliario a radio frequenza verso l' EG Down Converter.

Tale unità inoltre deve fare operazioni di condizionamento se necessario sul segnale proveniente dall'EG Up Converter e su quello verso l'EG Down Converter, proteggendo il radar attraverso attenuatori e DC block verso l'interfaccia RDA.

### **3.6.3 Requisiti di performance dell'RFFE**

I requisiti di performance del modulo RFFE sono i seguenti:

- frequenza portante del segnale a radio frequenza d'ingresso e di uscita all'RFFE è in Ka Band a 35.76 GHz;
- banda del segnale RF che viene dall' RDA BRsa è a 200 MHz;
- banda del segnale trasmesso dall' RFFE all' RDA BRsa è di 200 MHz con potenza totale di rumore nella banda dei 200 MHz più piccola di -87 dBm.

### **3.6.4 Interfacce dell'RFFE**

Le interfacce dell'RFFE sono di due tipi ovvero interfacce a radio frequenza dedicate, tra RDA BRsa e EGSE Echo Generator, per acquisire e trasmettere il segnale Ka-band, e interfacce a radio frequenza a/da strumenti per misure RF.

L'RFFE deve inoltre fornire un'interfaccia d'ingresso ausiliaria per inviare il segnale a radio frequenza verso:

- l'EG Down Converter;
- i fasci B0, B1, B2, B3 dell'RDA;
- il misuratore di potenza;
- l'analizzatore di spettro.

L'RFFE fornisce interfacce dedicate per la configurazione locale (per RDA EGSE Instrument Level e EDM System Level Integration) e da remoto (solo per RDA EGSE level integration).

Riassumendo quindi le interfacce generali dell'RFFE sono di seguito riportate:

- RFFE  $\leftrightarrow$  RDA
- RFFE  $\leftrightarrow$  Echo Generator
- RFFE  $\leftrightarrow$  SIS
- RFFE  $\leftrightarrow$  Unità di controllo e comando

Dove le prime tre sono interfacce a radio frequenza.

### **3.6.5 Interfaccia RFFE-RDA**

L'RFFE è fornito di quattro porte bidirezionali RF al/dal radar al livello BRsa a interfacciare i canali RF dell'RDA di trasmissione e ricezione a 35.76 GHz con L'Echo Generator e gli strumenti di misura.

Il collegamento è fatto mediante guide d'onda WR28.

### **3.6.6 Interfaccia RFFE-EG**

L'RFFE presenta due porte unidirezionali a RF con l'EG per trasmettere e ricevere i segnali RF a/dall' Echo Generator.

Il collegamento è realizzato mediante guide d'onda WR28.

### **3.6.7 Interfaccia RFFE-porta ausiliaria**

Il segnale d'ingresso ausiliario deve essere indirizzato verso: l'EG Down Converter, uno dei quattro fasci dell'RDA (B0, B1, B2, B3), al misuratore di potenza e all'analizzatore di spettro.

Il collegamento tra RFFE e porta ausiliaria è in guida d'onda WR28

### **3.6.8 Interfaccia RFFE-SIS**

L'RFFE fornisce porte di test a RF verso SIS per misure RF effettuate di volta in volta su uno dei seguenti segnali RF:

- segnali che vengono da uno dei quattro fasci RF dell'RDA (B0, B1, B2, B3);
- segnali che vengono dall'Echo Generator;
- segnali in uscita verso l'Echo Generator;
- segnali da porte d'ingresso ausiliarie.

Le interfacce verso il misuratore di potenza e l'analizzatore di spettro è in guida d'onda WR28.

L'RFFE è costituito inoltre anche di quattro porte d'uscita di trasmissione per rivelare ogni segnale RF proveniente dall'RDA (B0, B1, B2, B3), e tali collegamenti sono realizzati mediante cavi coassiali con connettori SMA.

La Figura 27 mostra tutte le connessioni interne ed esterne dell'RFFE.

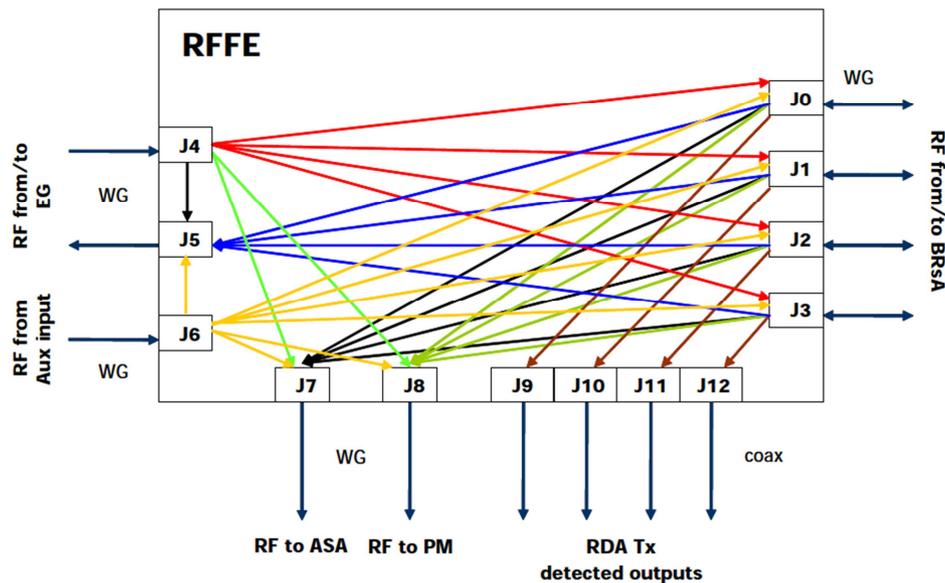


Figura 27 - Connessioni interne ed esterne dell'RFFE

Ricordiamo inoltre che in open loop l'RFFE deve interfacciarsi all'ECC mediante una connessione LAN per il controllo remoto usando lo standard TCP/IP.

### 3.7 L' Echo Generator

L'echo generator è un sistema che consente di:

- ricevere direttamente gli impulsi a RF (35.76 GHz) trasmessi dall'RDA e dopo una Down Conversion da RF a IF(100 MHz) e una

successiva conversione A/D, immagazzina i corrispondenti campioni in data Archive (memoria di massa), mediante un canale ad alta velocità di scrittura;

- generare gli echi digitali simulati e dopo una conversione D/A e successiva Up Conversion da IF a RF (35.76 GHz) li trasmette all'RDA. I campioni degli echi simulati sono letti da una memoria di massa mediante un canale ad alta velocità di lettura.

Gli echi digitali simulati sono forniti da un tool software che include modelli matematici relativi al terreno, all'RDA e così via, in modo da permettere l'elaborazione di questi data all'Off Line Processor che li colloca in una memoria di massa (Data Archive) come scenario.

A instrument level l'EG deve essere usato in real time loop con l'RDA quindi le funzioni precedenti devono essere eseguite in real time anche con l'RDA utilizzando clock e segnali di riferimento direttamente forniti dall'RDA.

A system level si ha un real time loop con l'RDA e EDM quindi le funzioni precedenti devono essere eseguite in real time anche con il simulatore GNC SCOE.

Comunque in entrambe le configurazioni EGSE gli echi simulati devono essere generati usando quindi opportuni modelli matematici in accordo con i vincoli di real time, usando clock e segnali di sincronizzazione dall'RDA, pertanto verrà illustrato in seguito in maniera dettagliata il sottosistema hardware implementato per realizzare le funzioni dell'EG prima elencate.

### 3.7.1 Blocchi Funzionali dell'EG

L'EG è costituito da:

- EG Controller;
- Catena di trasmissione EG (cioè da EG a RDA);
- Catena di ricezione EG (cioè da RDA a EG).

La catena di trasmissione e ricezione è considerata rispetto l'EG ed è riportata in Figura 28.

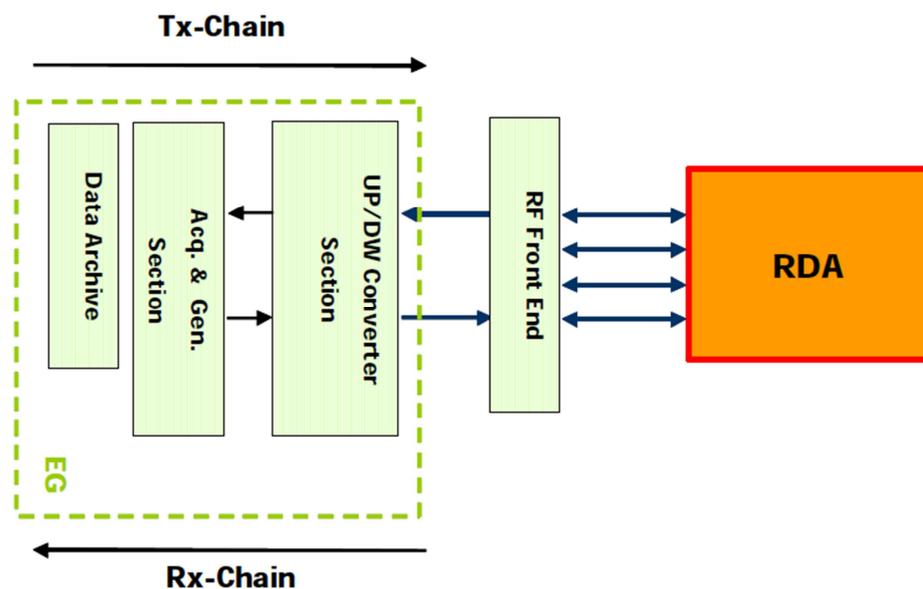


Figura 28 - Catena di trasmissione e ricezione dell'EG

### 3.7.2 EG Controller

L'Echo Generator è dotato di un controller per il test di preparazione ed esecuzione; il controller è connesso all'EGSE Remote Controller (ECC) per consentire funzioni di comando e controllo.

L'EG Controller esegue le seguenti funzioni:

- comunica con l'EGSE Remote Control inviando segnali dati e di controllo con l'EG;
- esegue un auto test all'accensione dell'EG;
- gestisce la sincronizzazione globale dei segnali dell'EG;
- gestisce i convertitori A/D e D/A;
- gestisce la conversione di frequenza UP e Down;
- fornisce la capacità di archiviazione locale per impulsi, echi, dati simulati e parametri dell'RDA.

### **3.7.3 EG - Catena di Trasmissione**

La catena di trasmissione serve per la generazione e la trasmissione di segnali RF all'RFFE (cioè all'RDA).

La catena di Tx è responsabile della:

- generazione digitale degli echi simulati da inviare all'RFFE in accordo al Test selezionato dall'ECC;
- raccolta digitale degli echi;
- conversione D/A degli echi;
- conversione in frequenza degli echi da IF (Banda Base) alla banda RF in trasmissione desiderata cioè 35.76 GHz;
- amplificazione degli echi.

### **3.7.4 EG - Catena di ricezione**

Per quanto riguarda il segnale RF ricevuto dall'RFFE (cioè dall'RDA), la catena di ricezione deve:

- ricevere gli impulsi RF dall'RDA a frequenza 35.76 GHz;
- effettuare un condizionamento opportuno degli impulsi;
- traslare gli impulsi in frequenza da RF a IF;
- effettuare una conversione A/D degli impulsi;
- raccogliere tutti gli impulsi digitalizzati.

### **3.7.5 Architettura EG in open loop**

L'EG può avere due differenti architetture che sono:

- EG open loop;
- EG closed loop.

L'EG open loop è costituito da:

- un Data Archive che è una memoria di massa che raccoglie i dati simulati, gli echi digitali simulati e gli impulsi digitalizzati dell'RDA in banda base;
- un Off line processor, dedicato all'esecuzione off line dei modelli Software usati per generare gli echi simulati;
- una sezione di acquisizione e generazione, che è dedicata principalmente all'invio in real time degli echi generati a frequenza IF alla sezione Up Converter; memorizza poi in una memoria di massa dedicata gli impulsi digitali ricevuti dall'RDA, provenienti dal

down Converter ed esegue funzioni di controllo nella catena di trasmissione e ricezione;

- una sezione di conversione Up/Down che è dedicata alla conversione a RF Up/Down dei segnali in trasmissione e ricezione all'EG e all'amplificazione dei segnali dell'RFFE.

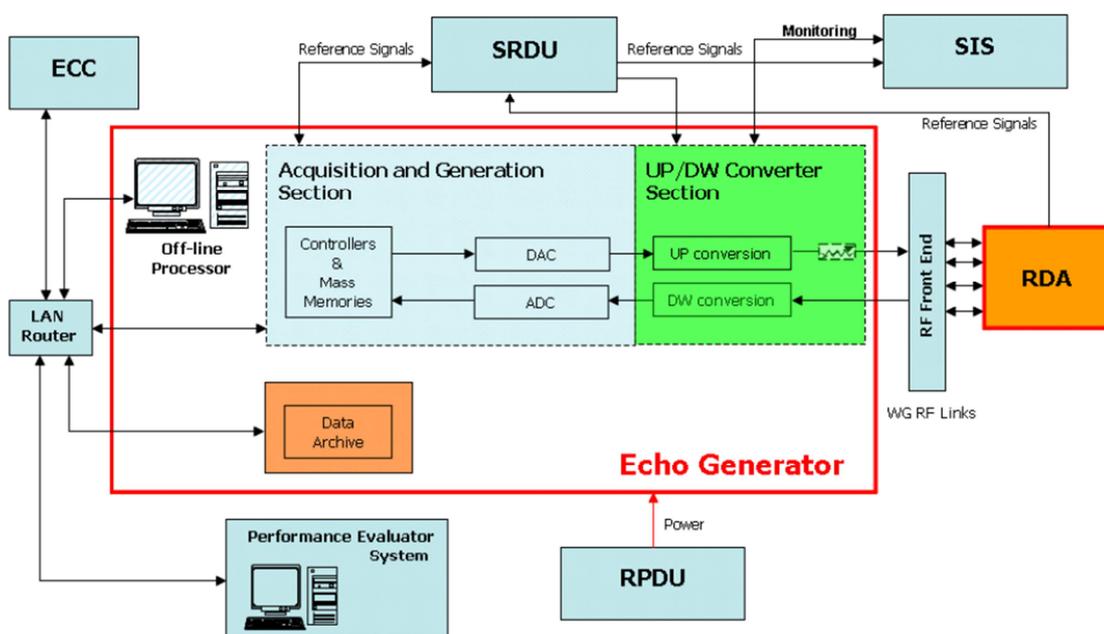


Figura 29 - Architettura dell'Echo Generator e interfaccia esterna a instrument level

### 3.7.6 EG - Off line processor

L'Off line processor è una workstation dedicata alla generazione degli echi digitali simulati in base a modelli matematici, nella configurazione open loop. Vengono pertanto ricevuti in ingresso i dati raccolti nel Data Archive (cioè i parametri dell'RDA, traiettoria dell'EDM, modello del terreno ecc.) e produce in uscita l'eco digitale simulato che deve essere poi memorizzato nel Data Archive come scenario e trasmesso all'RDA.

### **3.7.7 EG - Funzioni del Data Archive**

Il Data Archive deve memorizzare tutti i dati simulati dall'Off Line Processor, i parametri dell'RDA, traiettoria e assetto dell'EDM, modelli del terreno di Marte. Per ogni Test selezionato dall'ECC il Data Archive deve fornire all'Off Line Processor questi dati prima riportati e memorizzare gli impulsi ricevuti dell'RDA digitalizzati e gli echi generati per ogni test.

### **3.7.8 EG - Acquisizione e generazione**

Al level instrument, tale sezione riceve come ingresso lo scenario precaricato nel Data Archive a seconda del Test selezionato dall'ECC. C'è poi una conversione D/A di echi predefiniti relativi allo scenario della missione e vengono generati in uscita gli echi in banda base con ritardi temporali adeguati, shift doppler e modulazione d'ampiezza per l'invio di questi ultimi verso l'Up Converter con una successiva conversione A/D per la memorizzazione nel Data Archive.

Nel dettaglio la sezione di acquisizione e generazione è composta da:

- un System Controller, che controlla e comanda l'EG e l'ECC per il Test case;
- Convertitori A/D e D/A;
- memorie di massa ausiliarie;

### **3.7.9 EG - Sezione di Conversione Up/Down**

L'Up Converter esegue una conversione da IF a RF a 35.76 GHz, per l'invio dei segnali a RF nella sezione di ricezione RF del radar; mentre il Down Converter permette di passare da segnali RF a IF, in modo da inviare gli echi a frequenza IF verso la sezione di acquisizione e generazione.

Inoltre questa sezione deve distribuire i segnali di riferimento nell'EG partendo dal segnale di clock dell'RDA a 50 MHz.

### **3.7.10 Architettura dell'Echo Generator in closed loop**

L'architettura in closed loop dell'EG è sostanzialmente la stessa di quella in open loop; l'Off line Processor è però sostituito al modulo firmware chiamato RDA Real Time Module (nella sezione acquisizione e generazione), il quale svolge le funzionalità dell'Off line Processor ma in tempo reale per implementare la condizione di real-time (real time loop con RDA EDM).

In closed loop l'architettura è costituita da:

- Data Archive;
- Sezione di acquisizione e generazione (incluso il firmware Real Time Mode);
- Sezione di conversione Up/Down.

La Figura 30 mostra l'architettura dell'EG e le interfacce esterne nel caso di EDM system level.

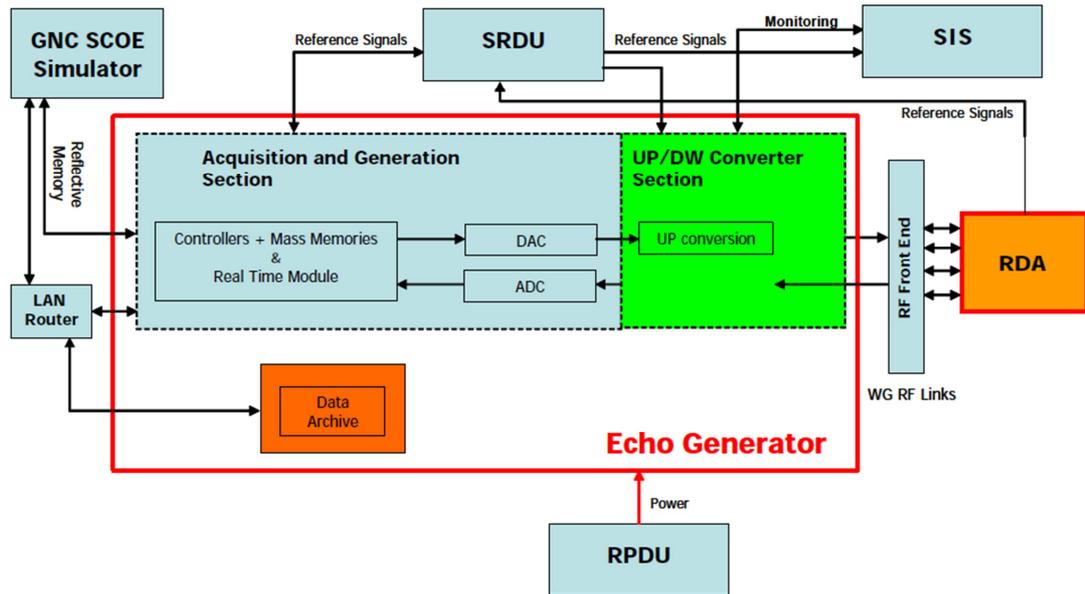


Figura 30 - Architettura dell'EG e interfacce esterne a EDM system level

In questa configurazione il Data Archive memorizza i parametri dell'RDA, i dati d'ingresso real time provenienti dal GNC SCOE Simulator attraverso le reflective memories e memorizza gli impulsi digitalizzati ricevuti dall'RDA e gli echi generati per ogni test case.

Anche il blocco di acquisizione e generazione è sostanzialmente lo stesso di quello a instrument level con la differenza che esso non riceve più come ingresso lo scenario precaricato nel Data Archive secondo il Test case selezionato dall'ECC ma riceve i dati d'ingresso real time dal GNC SCOE Simulator attraverso le reflective memory.

I dati d'ingresso alla sezione di acquisizione e generazione vengono poi elaborati dal modulo Real Time per produrre real time gli echi simulati e inviarli alla sezione di conversione Up. Il modulo Real Time riceve gli ingressi attraverso un'interfaccia dedicata dal GNC SOE Simulator e

produce real time con il GNC SOE in uscita gli echi digitali simulati (lo scenario) all'RDA.

### 3.7.11 Il Sistema EG in dettaglio

In dettaglio la struttura dell'Echo Generator può essere vista come la costituzione di diversi sottosistemi che analizzeremo più in dettaglio.

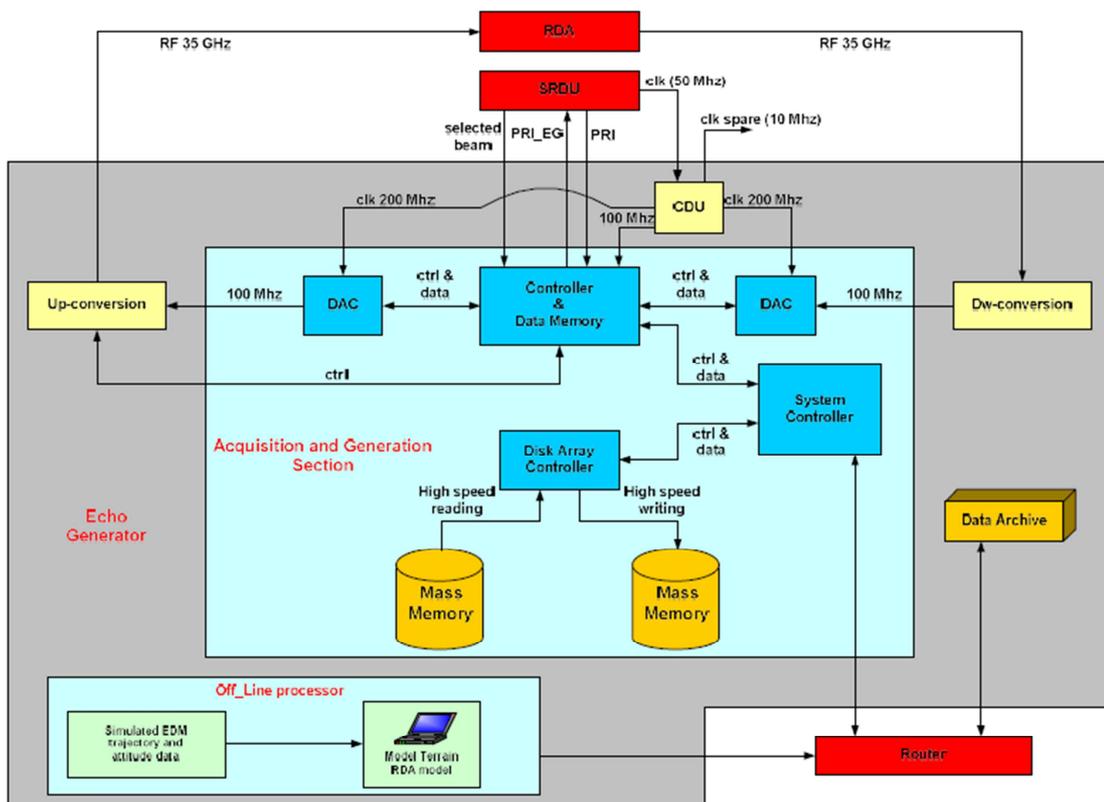


Figura 31 - Architettura dell'EG a livello RDA

Per implementare le funzioni descritte dell'EG, bisogna realizzare un sottosistema hardware e software strettamente connesso.

I sottosistemi hardware sono:

- UDcs (Up/Down Conversion Section) costituito da:
  - sottosistema di Up Conversion;
  - sottosistema di Down Conversion;
  - CDU (Unità di Distribuzione di Clock).
  
- L'AGS (Acquisition and Generation Section) è costituito da:
  - ADC;
  - DAC;
  - Controller e Memoria Dati;
  - Sistema Controller;
  - Disk array Controller;
  - Memoria di Massa.
  
- Off line processor;
- Data Archive;

Il sottosistema Software è:

- EGCC che è installato sul system controller.

Nell'EG i canali di scrittura e lettura lavorano in maniera indipendente, in particolare:

- il canale di scrittura acquisisce gli impulsi trasmessi dall'apparecchiatura e li memorizza insieme ad altri dati necessari

per valutare le performance del sistema e verificare la presenza di errori.

- Il canale di lettura dell'EGSE genera gli echi con un opportuno ritardo, shift doppler e modulazione d'ampiezza in relazione allo scenario predefinito.

I dati che consentono la generazione degli echi sono prodotti da un apposito simulatore software che funziona off-line.

### **3.7.12 Architettura in dettaglio della sezione di acquisizione e generazione dell'EG**

La Figura 32 mostra l'architettura dell'AGS.

Essa è costituita da:

- Controller e memoria dati;
- ADC e DAC;
- Disk Array controller;
- memoria di massa;
- SyC (System Controller).

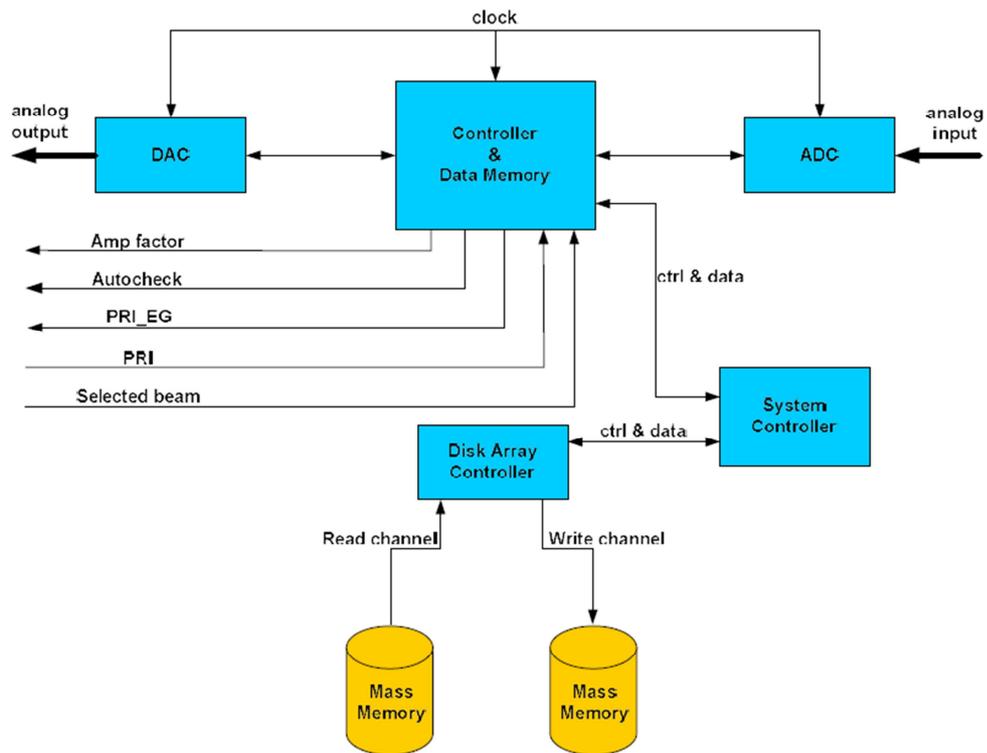


Figura 32 - Struttura dell'AGS

L'ADC converte e digitalizza gli eco d'ingresso trasmessi dall'RDA e mediante l'UDcs vengono convertiti a IF. Il DAC esegue una conversione D/A dei campioni degli echi simulati che sono letti da una memoria di massa dedicata usando un canale di lettura.

Il sottosistema CDM gestisce la temporizzazione dell'ADC e del DAC, e memorizza temporaneamente i dati; inoltre fornisce all'UDcs due segnali digitali:

- un fattore di amplificazione che è relativo al guadagni RF associato all'eco;
- un Autocheck, che è una linea di comando gestita dalla funzionalità di autocheck.

SyC gestisce Disk Array Controller a immagazzinare, e leggere dati dalla memoria di massa. Esso esegue il salvataggio dei dati acquisiti al Data Archive. Il software EGCC gestisce la comunicazione tra l'ECC e SyC.

I Disk Array migliorano la gestione dati riguardo la velocità di scrittura e lettura dei dati.

La temporizzazione di ADC e DAC è sincronizzata con l'Unità di Distribuzione di clock che a sua volta è sincronizzata con il clock a 50MHz proveniente dall'SRDU.

La scrittura degli echi trasmessi dall'RDA (fase di acquisizione) e la lettura dei campioni di echi simulati dalla memoria di massa (fase di generazione) avviene in parallelo, implementando funzioni di Controller e Data Memory su due FPGA, Figura 33 sottostante.

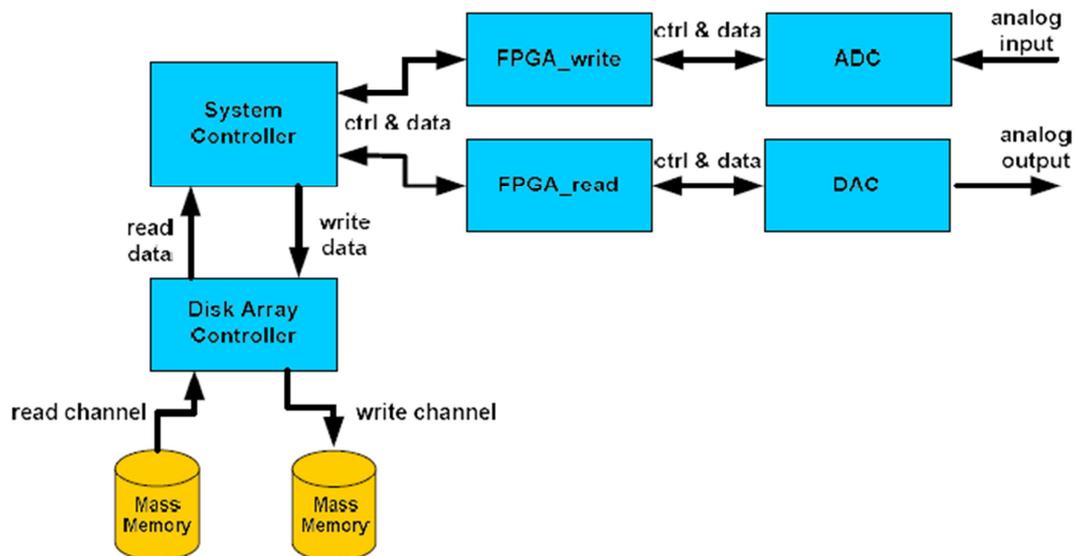


Figura 33 - Architettura dell'AGS in dettaglio

### 3.7.13 Architettura UDcs

La catena di conversione Up/Down costituisce l'interfaccia tra l'RDA e l'Echo simulator. Essa esegue la conversione in frequenza del segnale RF da 35 GHz a frequenza intermedia 100 MHz con operazioni di condizionamento ovvero di amplificazione e attenuazione del segnale.

Essa è composta da:

- Tx Up Converter che riceve in ingresso i segnali a IF da un convertitore D/A, per poi convertirli in segnali RF;
- Rx Down Converter che riceve in ingresso il segnale RF dall'RF FE o dal blocco di autocheck;
- unità di distribuzione di clock che genera tutti i segnali di clock al sistema ovvero i segnali di riferimento per il convertitore Up/Down, i segnali di riferimento in Ka Band per il convertitore Up/Down, il clock di sincronizzazione e i clock a FPGA, DAC e ADC;
- Autocheck Unit è una unità per la calibrazione dell'intero apparato, capace di attenuare opportunamente il segnale RF ad un livello tale da permettere la Down conversion.

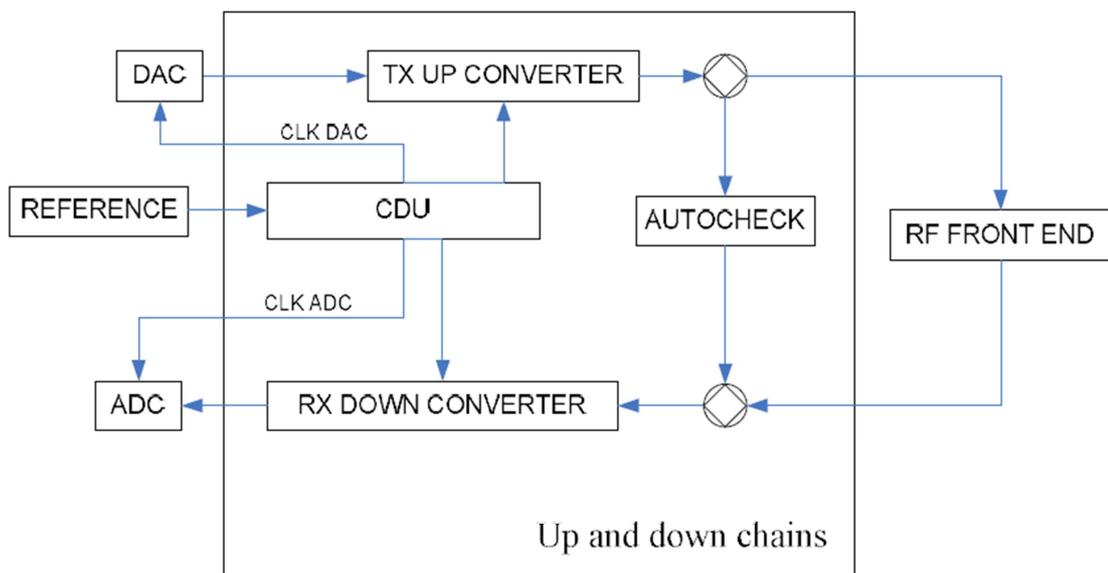


Figura 34 - Diagramma a blocchi della catena di conversione Up/Down

### 3.7.14 Eg - Interfacce

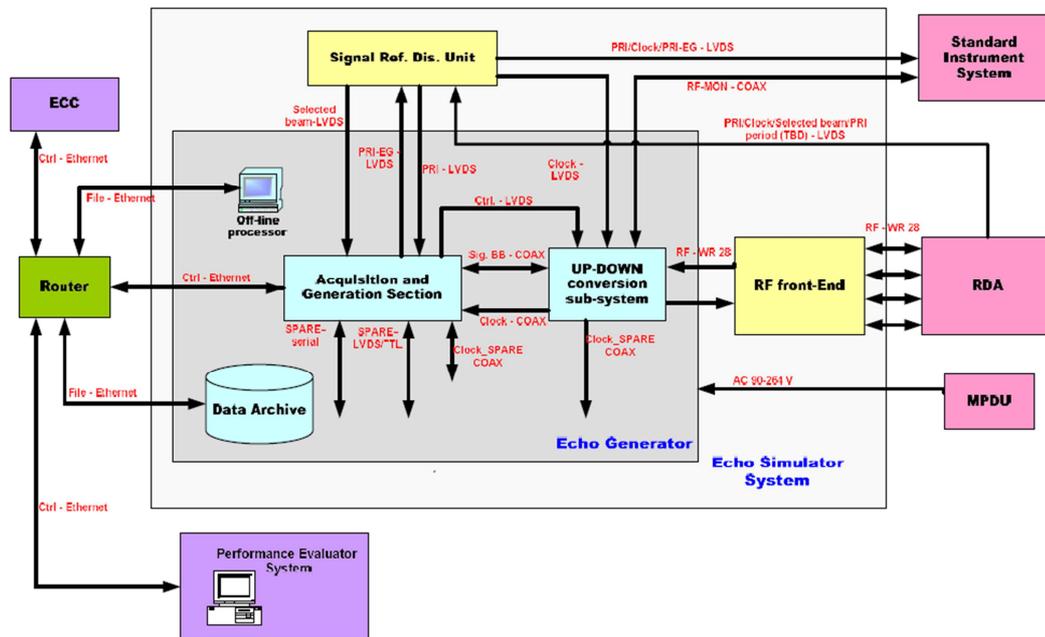


Figura 35 - Moduli d'interfaccia dell'architettura dell'Eg

L'Eg ha le seguenti interfacce:

- Interfaccia EG - ECC per la selezione del test case e per le attività di comando e controllo;
- Interfaccia EG - SRDU per la ricezione e la distribuzione dei segnali di riferimento;
- Interfaccia EG - RF Front End;
- Interfaccia EG - MPDU per l'alimentazione;
- Interfaccia EG - SIS per permettere di effettuare le misure;

inoltre l'Eg fornisce un segnale di clock a 10MHz su cavo coassiale e linee d'ingresso/uscita con interfaccia seriale standard LVDS/TTL.

La connessione tra EG e ECC è mediante un router esterno con collegamento Ethernet.

Bisogna ricordare inoltre che in closed loop non c'è quindi il sistema di valutazione delle performance, e inoltre le funzionalità che in open loop sono rilette a ECC e utente locale ora sono fornite da utente locale e il simulatore GNC SCOE.

### **3.7.15 EG - interfaccia SRDU**

In entrambe le configurazioni l'EG riceve dall'SRDU i seguenti segnali di riferimento:

- PRI Trigger (PRI\_TRG);
- segnale a 50 MHz;
- selezione del fascio (Sel\_Beam0, Sel\_Beam1, Sel\_Beam2, Sel\_Beam3).

Questi segnali sono inviati in LVDS su una coppia di cavi twistati; il collegamento tra EG ed SRDU avviene mediante dei connettori DB.

Inoltre l'EG deve trasmettere all'SRDU il segnale di sincronizzazione PRI\_EG e inviarlo poi verso il SIS.

La tabella riassuntiva in Figura 36 mostra in mostra le interfacce EG verso RFFE, SRDU e SIS.

SIGNAL NAME	TYPE	CONNECTION	CONNECTOR TYPE (TBC)	REMARKS
Tx/Rx	WG WR-28	from/to EG to/from RFFE	WR 28	Transmitted/received RF signal from/to EG to/from RFFE.
Tx/Rx RF monitor	WG WR-28	From EG to SIS	WR 28	To monitor the Tx/Rx RF signal at output/input of the EG ka band Up/Dw Converter (directional coupler).
Tx/Rx IF monitor	coax	From EG to SIS	SMA	To monitor the IF signal before/after of the EG ka band Up/Dw Converter (directional coupler).
Tx/Rx IF input	coax	From SIS to EG	SMA	To insert an IF signal before/after of the EG ka band Up/Dw Converter (directional coupler).
PRI_TRG	DIF (TBC)	From SRDU to EG	DBM	The rising edge of PRI_trg is the reference for PRI start (TBC)
SEL_BEAM_0	DIF	From SRDU to EG	DBM	Test Point to verify the selected antenna beam
SEL_BEAM_1	DIF	From SRDU to EG	DBM	Test Point to verify the selected antenna beam
50MHz_TP	RF - coax	From SRDU to EG	SMA	50 MHz reference signal test point
PRI_EG (TBC)	DIF	From EG to SRDU	DBM	The rising edge of PRI_EG (TBC)

Figura 36 - Interfacce EG verso RFFE, SRDU e SIS

L'EG con RFFE comunica invece mediante segnali analogici, che viaggiano su guide d'onda WR-28. I segnali trasmessi (Tx) e ricevuti (Rx) devono avere le seguenti specifiche:

	Carrier Frequency	Bandwidth	Maximum signal level	Minimum signal level	Phase jitter	Return loss
<b>Tx</b>	35.76 Ghz	200 Mhz	+29 dBm	-76 dBm	Better than 250 ps (TBC)	Better than 26 dB (TBC)
<b>Rx</b>	35.76 Ghz	200 Mhz	+6 dBm	-24 dBm	Better than 250 ps (TBC)	Better than 26 dB (TBC)

Figura 37 - Specifiche sui segnali Tx e Rx dall'RFFE

Dove i segnali trasmessi e ricevuti sono valutati considerando le seguenti perdite:

- perdite in guida d'onda tra EG e RFFE di -1dB;
- perdite per path-loss RFFE di -15dB;
- perdite in guida d'onda tra RFFE e BRsa di -6dB;
- il collegamento al SIS avviene mediante cavi coassiali con connettori SMA e guide d'onda WR-28.

L'EG interfaccia inoltre:

- l'EGSE Remote Controller (ECC) per la selezione del Test Case e le attività di controllo e comando (solo in open loop);
- Performance Evaluator System per consentire l'analisi post-processing (solo in open loop).

Il router Lan è interfacciato alla sezione di acquisizione e generazione, al Data Archive e al Processore Off Line (quest'ultimo a Instrument Level).

L'EG è connessa all'MPDU mediante connettori C14.

### **3.7.16 Alimentazione dell'EG**

Le specifiche di alimentazione dell'EG sono invece le seguenti:

- range operativo di tensioni d'ingresso: 90/264 V;
- frequenza d'ingresso: 50/60 Hz;
- rating di corrente d'ingresso: 8-4 A;

- tipo di alimentazione: AC.

## **3.8 L'SRDU**

L'SRDU “Signal Reference Distribution Unit” è un'apparecchiatura costituita da unità analogiche e digitali. Essa è usata durante l'attività di test dell'RDA.

### **3.8.1 Descrizione dell'SRDU**

L'SRDU deve essere in grado di interfacciare e gestire globalmente tutti i segnali di sincronismo e informativi provenienti dall'RDA e distribuirli verso l'Electronic Ground System Equipment (EGSE) per il corretto funzionamento dello stesso EGSE.

Dettagliatamente l'SRDU deve ricevere dall'RDA i seguenti segnali di Test Point e deve trasmetterli all'Echo Generator e allo Standard Instrument System (SIS):

- PRI trigger (PRI\_TRG);
- Segnale a 50 MHz (50 MHz\_TP);
- Selezione del fascio (Sel\_Beam0, Sel\_Beam1);
- Finestra di inizio campionamento (SWST).

L'SRDU è un'unità non configurabile e quindi non ha bisogno di sincronizzazione e di un controllo locale o remoto.

L'SRDU quindi è costituito al suo interno da collegamenti tali da distribuire i segnali d'ingresso di riferimento visti precedentemente verso le porte d'uscita mediante le interfacce con l'EG e SIS.

Inoltre dal segnale di riferimento ricevuto a 50 MHz (50 MHz\_TP), l'SRDU presenta internamente un divisore di frequenza per 5 (50/5), dal quale è possibile ottenere il clock a 10 MHz, necessario per il SIS.

### 3.8.2 Interfacce dell'SRDU

L'SRDU fornisce le seguenti interfacce:

- SRDU ← →RDA
- SRDU← →EG
- SRDU← →SIS

Le interfacce dell'SRDU sono di tipo standard e riportate nella tabella di Figura 38.

I/F type	Code
Differential Channel Command	DIF
RF Coax	RF

Figura 38 - Tipi di interfacce SRDU

### 3.8.3 Interfacciamento dell'SRDU con RDA, EG e SIS

L' interfaccia elettrica di input dell'SRDU con l'RDA è riportata nella tabella in Figura 39, che riporta l'associazione tra il segnale in esame, il

tipo di connessione e connettore accompagnata da una breve descrizione relativa alla connessione stessa.

SIGNAL NAME	TYPE	CONNECTION	CONNECTOR TYPE (TBC)	REMARKS
PRI_TRG	DIF (TBC)	From RME to EGSE	DBM	The rising edge of PRI_trg is the reference for PRI start (TBC)
SEL_BEAM_0	DIF	From RME to EGSE (test point)	DBM	Test Point to verify the selected antenna beam
SEL_BEAM_1	DIF	From RME to EGSE (test point)	DBM	Test Point to verify the selected antenna beam
50 MHz_TP	RF - coax	From RME to EGSE (test point)	SMA	50 MHz Reference signal test point
PRI_EG (TBC)	DIF	From EG to SIS	DBM	The rising edge of PRI_EG (TBC)

Figura 39 - Interfaccia elettrica di ingresso dell'SRDU

In maniera del tutto analoga l'interfaccia d'uscita dell'SRDU all'EG è riportata nella tabella in Figura 40.

SIGNAL NAME	TYPE	CONNECTION	CONNECTOR TYPE (TBC)	REMARKS
PRI_TRG	DIF (TBC)	From SRDU to EG	DBM	The rising edge of PRI_trg is the reference for PRI start (TBC)
SEL_BEAM_0	DIF	From SRDU to EG	DBM	To verify the selected antenna beam
SEL_BEAM_1	DIF	From SRDU to EG	DBM	To verify the selected antenna beam
50 MHz_TP	RF - coax	From SRDU to EG	SMA	50 MHz Reference signal

Figura 40 - Interfaccia d'uscita dell'SRDU all'EG

Infine l'interfaccia d'uscita dell'SRDU al SIS è riportata nella tabella sottostante in Figura 41.

SIGNAL NAME	TYPE	CONNECTION	CONNECTOR TYPE (TBC)	REMARKS
PRI_TRG	DIF (TBC)	From SRDU to SIS	DBM	The rising edge of PRI_trg is the reference for PRI start (TBC)
SEL_BEAM_0	DIF	From SRDU to SIS	DBM	To verify the selected antenna beam
SEL_BEAM_1	DIF	From SRDU to SIS	DBM	To verify the selected antenna beam
SWST	DIF	From SRDU to SIS	DBM	Sampling Window Start Time signal
10 MHz_TP	RF - coax	From SRDU to SIS	SMA	10 MHz Reference signal

Figura 41 - Interfaccia d'uscita dell'SRDU al SIS

Quindi lo schema logico a blocchi dell'SRDU è mostrato di seguito, Figura 42.

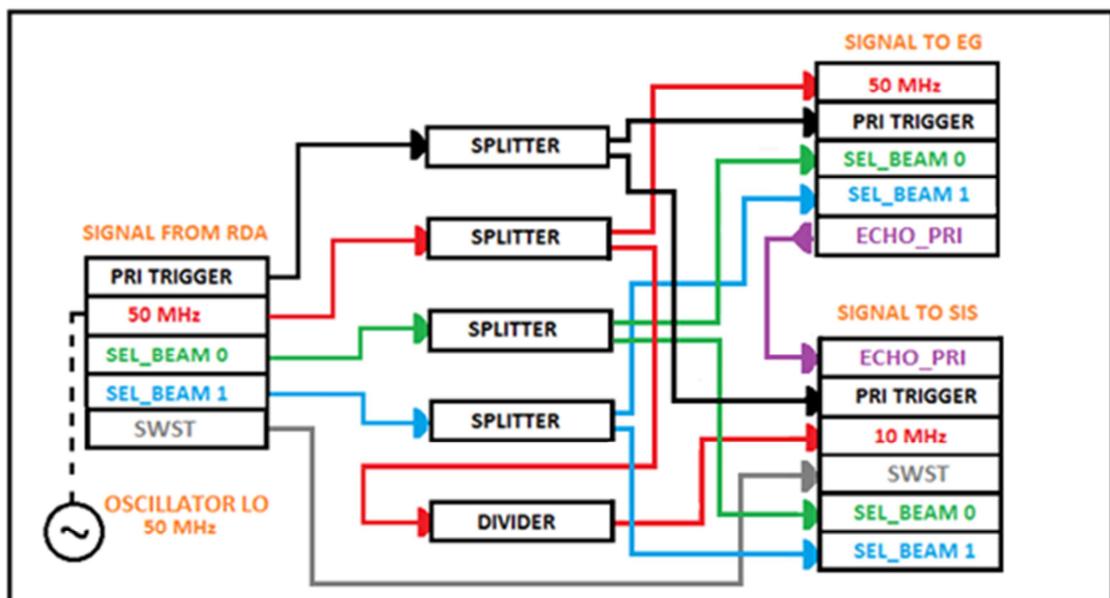


Figura 42 - Schema a blocchi dell'SRDU

## Capitolo IV

### “I Segnali LVDS”

#### 4.1 Introduzione all' LVDS

Il Low Voltage Differential Signaling (LVDS) è una nuova tecnologia che soddisfa il crescente bisogno di avere elevate velocità di trasmissione di dati. L'LVDS sta divenendo lo standard di trasmissione di dati differenziale più popolare nell'industria elettronica. Questo è dovuto al fatto che l'LVDS fornisce data-rate elevati e al contempo il consumo di potenza rimane significativamente basso rispetto alle altre tecnologie concorrenti.

Tra i numerosi benefici si osservano:

- compatibilità di alimentazione elettrica a bassa tensione;
- bassa generazione di rumore;
- alta reiezione di rumore;
- robusta trasmissione dei segnali;
- possibilità di essere integrato nei circuiti integrati.

La tecnologia LVDS permette di fornire data-rate elevati che variano da 100 Mbps fino a 2 Gbps. Per le dette ragioni, lo standard si è diffuso in quei segmenti di mercato dove il bisogno di velocità ed bassa potenza è necessario.

La crescente richiesta di immagini e video sempre più realistici induce la necessità di inviare questo tipo di informazioni da foto-camere a PC e stampanti attraverso LAN, doppiini telefonici, e sistemi satellitari verso sistemi di vario tipo, videoregistratori digitali, etc. Le soluzioni, per

trasmettere questi dati digitali ad alta velocità, oggi esistono, sia nel caso di distanze molto corte che nel caso di distanze molto lunghe, su piste di circuito stampati (PCB) o attraverso fibra o via satellite. Trasferire questi dati da un sistema all'altro tuttavia, richiede una soluzione ad alte prestazioni che consumi una minima quantità di potenza, generi poco rumore, (deve rispettare le specifiche riguardo le interferenze elettromagnetiche), sia relativamente immune al rumore e infine sia economico.

La National Semiconductor per prima ha introdotto lo standard LVDS nel 1994. La National ha riconosciuto che la richiesta di banda larga stava crescendo esponenzialmente contemporaneamente alla richiesta di bassi consumi di potenza.

Queste richieste andavano oltre le capacità fornite dagli standard precedenti, RS-422 e RS-485. Infatti sebbene lo standard Emitter Couplet Logic (ECL o PECL) fosse già disponibile, esso era incompatibile con i livelli logici standard, e conduceva ad elevati consumi di potenza. Questi fattori limitarono la sua diffusione.

L'LVDS è differenziale ed usa due segnali trasmessi su altrettante linee per inviare l'informazione. Questo potrebbe sembrare svantaggioso, in realtà è un beneficio. Il costo è di avere due linee (o conduttori) per inviare un segnale, tuttavia il guadagno sta nella tolleranza al rumore in termini di reiezione di modo comune.

L'oscillazione del segnale può così calare a poche centinaia di millivolts in quanto il rapporto segnale rumore può essere migliorato. Quindi riassumendo l'LVDS è una tecnologia differenziale che permette a un singolo canale di trasmissione dati di raggiungere data-rate di centinaia o addirittura di migliaia di Mbps. Infatti le uscite del driver LVDS creano un basso rumore e forniscono un consumo di potenza molto basso per un range di frequenze molto ampio.

## 4.2 Principi di funzionamento dell'LVDS

In figura 43 è mostrato il diagramma semplificato del sistema trasmissione e ricezione in LVDS. Le uscite del LVDS consistono di una sorgente di corrente (a valore nominale di 3.5 mA) che pilota una coppia di linee differenziale.

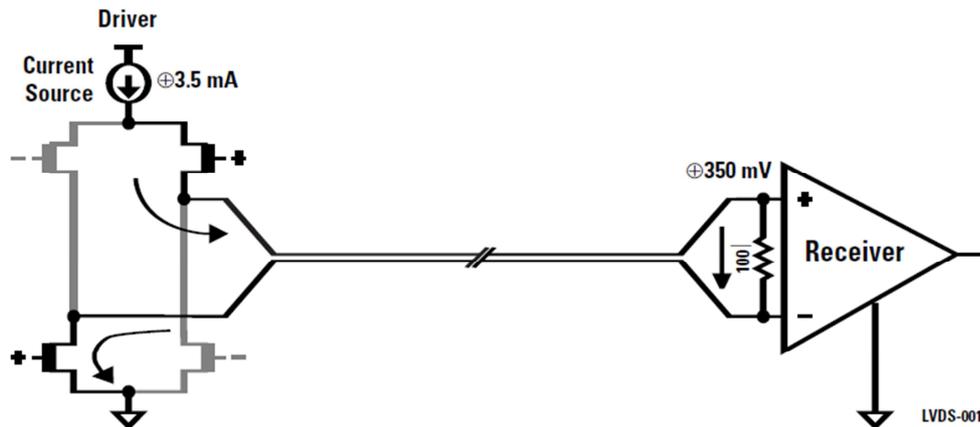


Figura 43 - Schema semplificato del driver e del ricevitore LVDS connessi per mezzo di una coppia di linee terminanti su un'impedenza differenziale di 100 $\Omega$

Il ricevitore ha un'alta impedenza DC d'ingresso, cosicché la maggior parte della corrente fluisce attraverso i 100 $\Omega$  della resistenza di terminazione generando una differenza di potenziale di circa 350 mV attraverso gli ingressi del ricevitore. Quando il driver commuta, la direzione della corrente attraverso le linee cambia verso, determinando, un valore logico di "uno" o "zero". Nella figura seguente (Figura 44) sono mostrati i tipici segnali LVDS trasmessi sulla linea.

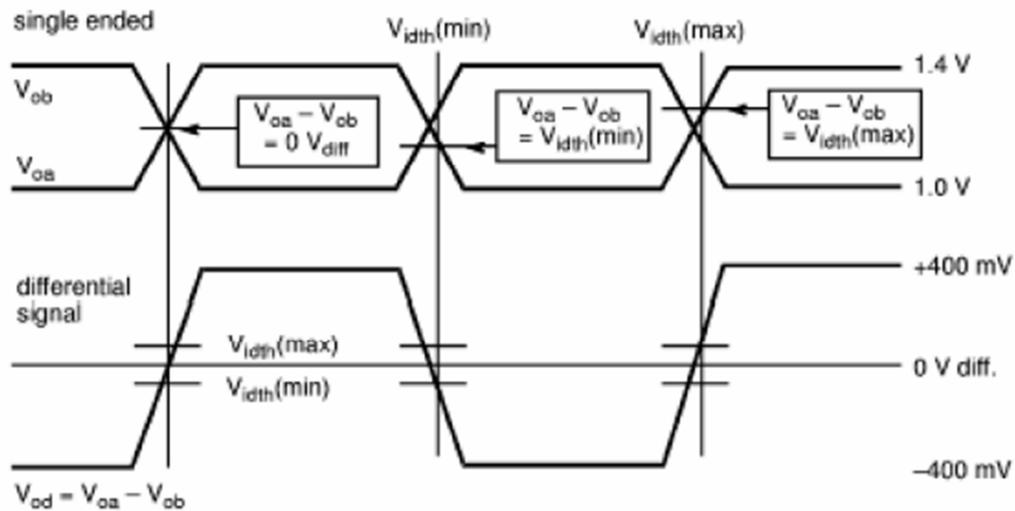


Figura 44 - Tipici segnali LVDS, in alto i segnali sulle singole uscite del driver, in basso il segnale differenziale

### 4.3 Lo standard LVDS

L'LVDS è attualmente standardizzato dal TIA/EIA (Telecommunications Industry Association/Electronic Industries Association) ANSI/TIA/EIA-644-A (LVDS) Standard. Il generico (multi-applicazione) standard LVDS, ANSI/TIA/EIA-644-A, vide la luce nel TIA Data Transmission Interface committee TR30.2 nel 1995. Fu rivisto e pubblicato come ANSI/TIA/EIA-644-A nel 2001. ANSI/TIA/EIA definisce le caratteristiche di uscite del driver e le caratteristiche di ingresso del ricevitore, quindi è uno standard unicamente di tipo elettrico e non include protocolli o caratteristiche di cavo essendo questi dipendenti dagli applicativi. ANSI/TIA/EIA-644-A è inteso come riferimento per altri standard che specificano l'interfaccia completa (cioè, connettori, protocolli). Ciò permette che sia adottato facilmente in molte applicazioni. I principali parametri dello standard LVDS sono riassunti nella tabella di Figura 45.

Parameter	Description	Min.	Max.	Units
$V_{OD}$	Differential output voltage	247	454	mV
$V_{OS}$	Offset voltage	1.125	1.375	V
$V_{OD}$	Change to $V_{OD}$		50	mV
$V_{OS}$	Change to $V_{OS}$		50	mV
$I_{SA}, I_{SB}$	Short circuit current		24	mA
tr/tf	Output rise/fall times (200 Mbps)	0.26	1.5	ns
	Output rise/fall times (<200 Mbps)	0.26	30% of tui†	ns
$I_{IN}$	Input current		20	μA
$V_{TH}$	Receive threshold voltage		+100	mV
$V_{IN}$	Input voltage range	0	2.4	V

Figura 45 - Parametri dello Standard LVDS

Lo standard ANSI/TIA/EIA suggerisce un data-rate massimo di 655 Mbps (basato su un limitato insieme di assunzioni) e esso fornisce inoltre un data-rate teorico massimo di 1.923 Gbps basato su un mezzo a basse perdite. Questo permette allo standard di specificare che il massimo data-rate richiesto dipenda dalla qualità del segnale, dalla lunghezza e dal tipo di mezzo. Lo standard inoltre riguarda le specifiche minime dei mezzi, il funzionamento di sicurezza del ricevitore nelle condizioni difetto ed altri tipi di configurazione quale il funzionamento multiplo del ricevitore. Lo standard ANSI/TIA/EIA-644 è stato approvato nel Novembre 1995. La National tenne la posizione di redattore per questo standard. Il 644 spec include informazioni addizionali riguardo le operazioni di ricezione multipla. Quest' ultimo fu pubblicato nel Febbraio 2001 con il titolo TIA-644-A. Successivamente venne introdotto un altro standard LVDS da un progetto IEEE. Questo standard nacque dallo sforzo a sviluppare una standard per scopi, quali collegamenti nei processori o in sistemi multi-processore, o per raggruppare workstation in cluster. Questo programma chiamato Scalable Coherent Interface (SCI) originariamente specificava un'interfaccia ECL differenziale che forniva alti data-rate richiesti ma non indicava i consumi di potenza o l'integrazione. Lo standard a bassa potenza

SCI-LVDS è stato più tardi definito come un sottoinsieme dello SCI e specificato nello standard IEEE 1596.3. Lo standard SCI-LVDS specifica anche i livelli dei segnali (specifiche elettriche) simili a quelle dello standard ANSI/TIA/EIA-644-A per interfacce fisiche SCI ad alta velocità e basse potenze. Lo standard definisce anche la codifica per commutazione di pacchetto usata nel trasferimento dati di SCI. Lo standard IEEE 1596.3 è stato approvato nel marzo 1996, ma scaduto 5 anni più tardi e non fu rinnovato. National presiedette questo comitato di standardizzazione. Nell'interesse di promuovere un standard più diffuso, nessuna specifica tecnologia di processo, o riguardante il mezzo di trasmissione, o tensioni di alimentazione elettrica è definito da entrambi gli standard. Questo vuol dire che LVDS può essere implementato in CMOS, GaAs o altre tecnologie applicabili, con tensioni di alimentazione che variano da 5V a 3.3V a meno di 3V, e trasmettendo su piste PCB o su cavi, rispondendo con ciò ad un'ampia serie di domande di molti segmenti dell'industria.

## **4.4 Circuiti integrati LVDS**

LVDS si trova più comunemente nei tipi seguenti di IC (circuiti integrati):

- Line drivers/receivers

Questi dispositivi sono tipicamente usati per convertire un segnale single-ended, in un formato più adatto alle trasmissioni su backplane o su cavo. Questi sono disponibili in configurazioni single-channel o multi-channel.

- SerDes

Coppie di serializer/deserializer sono usate per multiplexare un numero di linee CMOS a bassa velocità e trasmetterle su un singolo canale ad alto

data-rate. Circuiti integrati SerDes sono tipicamente usati per ridurre il numero di pin o linee fra cavi e back-plane. Inoltre le funzioni SerDes sono usate in grandi e complessi circuiti integrati per ridurre il numero di porte I/O nel package del circuito integrato.

- Switches

Architetture di switching sono favorite su architetture a bus quando i data-rate sono alti. Di conseguenza, gli switch tendono a operare ad alti data-rate. L'LVDS è una comune scelta per le porte I/O su questi IC. Gli switch possono essere usati per la distribuzione del segnale di clock. L'LVDS è uno degli standard più adatti per quanto riguarda i segnali di clock grazie all'affidabile integrità del segnale.

## **4.5 Bus LVDS**

Il bus LVDS, detto talvolta BLVDS, è una nuova famiglia di interfacce bus basate sulla tecnologia LVDS, specificatamente indicata per applicazioni multipoint o su back-plane.

Differisce dallo standard LVDS nel fornire maggiore corrente per pilotare doppie terminazioni, richieste nelle applicazioni multipoint. Bus LVDS risponde a molte delle sfide affrontate nel progetto di bus ad alta velocità.

- Bus LVDS elimina il bisogno di terminazioni speciali di pull-up;
- elimina il bisogno di dispositivi di terminazione attivi;
- utilizza tensioni di alimentazione comuni (3.3V o 5V);
- impiega uno schema di terminazione semplice;
- minimizza la dispersione di potenza nei dispositivi di interfaccia;
- genera poco rumore;

- supporta l'inserzione di schede;
- pilota bus multi-point a 100 Mbps.

I prodotti BLVDS forniscono ai progettisti nuove alternative per risolvere i problemi di interfaccia bus ad alta velocità. I BLVDS hanno una larga applicazione che va dai sistemi di telecomunicazione fino ad applicazioni industriali.

## 4.6 Applicazioni LVDS

L'alta velocità, il minor consumo di potenza, il basso rumore e il basso costo rendono l'LVDS un'ottima tecnologia che risponde bene ad un'ampia serie di esigenze. Alcuni esempi sono elencati nella tabella in Figura 46.

<b>PC/computing</b>	<b>Telecom/datacom</b>	<b>Consumer/commercial</b>
Flat-panel displays	Switches	Home/commercial video links
Monitor link	Add/drop multiplexers	Set top boxes
SCI processor interconnect	Hubs	In-flight entertainment
Printer engine links	Routers	Game displays/control
Digital Copiers	Access systems	
System clustering	Broadband concentrators	
Multimedia peripheral links	Base stations	

Figura 46 - Applicazioni dell'LVDS

## 4.7 Oscillazione differenziale nell'LVDS

Il metodo di trasmissione di dati differenziale usato in LVDS è meno suscettibile a rumore di modo comune rispetto agli schemi single-ended. La trasmissione differenziale usa due linee con oscillazioni di

corrente/tensione opposte invece della singola linea usata nei metodi single-ended per inviare i dati. Il vantaggio dell'approccio differenziale è che se il rumore è accoppiato sui due fili come modo comune (il rumore appare ugualmente su ambo le linee) esso è in gran parte cancellato dai ricevitori che rispondono solo alla differenza tra i due segnali. I segnali differenziali tendono anche ad irradiare meno rumore rispetto a quanto ne irradia un segnale single-ended, a causa della cancellazione dei campi magnetici. Poiché le tecnologie differenziali come LVDS riducono le questioni sul rumore, esse possono far uso di oscillazioni (swing) di tensione meno ampi. Questo vantaggio è cruciale, perché è impossibile elevare i data-rate e abbassare il consumo di potenza senza limitare lo swing di tensione. Uno swing ristretto quindi implica che i dati possono commutare più velocemente.

## **4.8 Confronto tra differenti tecnologie differenziali**

La tabella in Figura 47, mette a confronto i livelli dei segnali LVDS con quelli del PECL e mostra che LVDS ha metà dello swing di tensione del PECL. Gli swing del LVDS sono un decimo del RS-422.

Un'altra caratteristica del LVDS è che i driver e i ricevitori non dipendono dalla specifica tensione di alimentazione. Perciò LVDS ha un facile percorso di migrazione verso tensioni di alimentazione di 3.3V o perfino di 2.5V, pur mantenendo gli stessi livelli dei segnali e le stesse performance. Al contrario le tecnologie come ECL o PECL hanno una maggiore dipendenza dalla tensione di alimentazione, che rende difficile migrare sistemi utilizzando queste tecnologie verso tensioni di alimentazioni più basse.

Parameter	RS-422	PECL	LVDS
Differential driver output voltage	$\pm 2$ to $\pm 5$ V	$\pm 600$ to 1000 mV	$\pm 250$ -450 mV
Receiver input threshold	$\pm 200$ mV	$\pm 200$ to 300 mV	$\pm 100$ mV
Data rate	<30 Mbps	>400 Mbps	>400 Mbps

Parameter	RS-422	PECL	LVDS*
Supply current quad driver (no load, static)	60 mA (max)	32 to 65 mA (max)	8.0 mA
Supply current quad receiver (no load, static)	23 mA (max)	40 mA (max)	15 mA (max)
Propagation delay of driver	11 ns (max)	4.5 ns (max)	1.7 ns (max)
Propagation delay of receiver	30 ns (max)	7.0 ns (max)	2.7 ns (max)
Pulse skew (driver or receiver)	N/A	500 ps (max)	400 ps (max)

Figura 47 - Confronto tra LVDS, RS-422 e PECL

## 4.9 Resistenza di Terminazione

Il mezzo di trasmissione deve terminare sulla sua impedenza caratteristica differenziale per completare il loop di corrente e terminare i segnali ad alta velocità. Questo requisito è lo stesso, se il mezzo di trasmissione consiste di un cavo o di una pista di PCB. Se il mezzo non è terminato propriamente, i segnali si riflettono dalla fine del cavo o pista e possono interferire con i segnali successivi. La terminazione corretta riduce anche emissioni elettromagnetiche non desiderate ed offre la condizione ideale per i segnali.

Per prevenire le riflessioni, LVDS richiede una resistenza di terminazione che sia adattata all'impedenza differenziale del cavo o della traccia PCB. Comunemente sono impiegati mezzi e terminazioni di 100 $\Omega$ . Questa resistenza completa il loop di corrente e termina propriamente il segnale. Questa resistenza deve essere posta tra le linee differenziali il più vicino possibile all'input del ricevitore.



Figura 48 - Terminazione LVDS

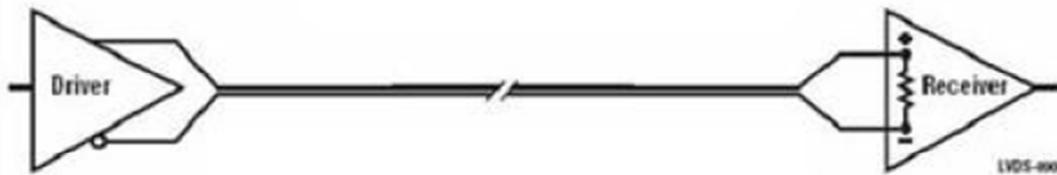


Figura 49 - Terminazione Interna



Figura 50 - Terminazione PECL

La semplicità dello schema di terminazione di LVDS lo rende facile da implementare in molte applicazioni. ECL e PECL richiedono una terminazione più complessa di quella fornita dal LVDS. Le connessioni del PECL devono soddisfare molti requisiti contemporaneamente. I ricevitori

devono essere alimentati da un bias di circa 1V al di sotto della  $V_{EE}$ . Le linee di trasmissione devono essere terminate e ci deve essere un percorso resistivo perché la corrente continua DC fluisca dal driver. L'esempio in Figura 50 mostra un'implementazione con la rete di Thevenin.

#### **4.10 Massima velocità di commutazione**

La massima velocità di commutazione di un'interfaccia LVDS è una caratteristica che dipende in modo complesso da molti fattori. Questi fattori comprendono le prestazioni della linea di trasmissione, la larghezza di banda dei mezzi di trasmissione usati e la qualità del segnale richiesta per l'applicazione. Fintanto che le uscite dei driver sono veloci, la limitazione in velocità è essenzialmente dovuta alla larghezza di banda dei mezzi trasmissivi selezionati (es. cavo), dipendendo dal tipo e dalla lunghezza.

#### **4.11 Risparmio di potenza**

La tecnologia LVDS risparmia potenza attraverso vari modi. La potenza dissipata dal carico (i soliti  $100\Omega$  di resistenza di terminazione) è essenzialmente pari a circa 1.2 mW (se si ipotizza un valore di tensione sulla resistenza pari a 350 mV). In confronto, un driver RS-422 fornisce tipicamente 3V attraverso una terminazione di  $100\Omega$ . Dissipa 90 mW di potenza, 75 volte di più del LVDS. I dispositivi LVDS sono implementati in tecnologia CMOS permettendo così di offrire un minimo consumo statico di potenza. Il progetto di circuiti di driver o di ricevitore richiede un

decimo di corrente di alimentazione rispetto a quella dei dispositivi PECL/ECL.

## 4.12 Configurazioni LVDS

I driver e i ricevitori LVDS sono usati comunemente in configurazione punto a punto, come mostrato in Figura 51.



Figura 51 - Configurazione Point-to-Point

I collegamenti dedicati punto a punto forniscono una buona qualità del segnale a causa del percorso pulito che offrono. In questa configurazione, l'LVDS è capace di emettere segnali ad alta velocità su lunghezze di cavo anche di decine di metri, utilizzando poca potenza (1.2 mW sulla resistenza di terminazione) e generando poco rumore. Altre topologie o configurazioni sono comunque possibili. Inoltre LVDS può essere ben implementato nelle trasmissioni bi-direzionali e in applicazioni che ricorrono all'utilizzo di bus. La configurazione mostrata in Figura 52, permette una comunicazione bi-direzionale su una singola coppia di cavi. I dati possono fluire in una sola direzione per volta. La presenza di due resistenze di terminazione riduce il segnale (e così anche il margine di rumore differenziale), questa configurazione quindi dovrebbe essere

considerata solo dove il rumore è basso e la distanza di trasmissione è corta (<10m).

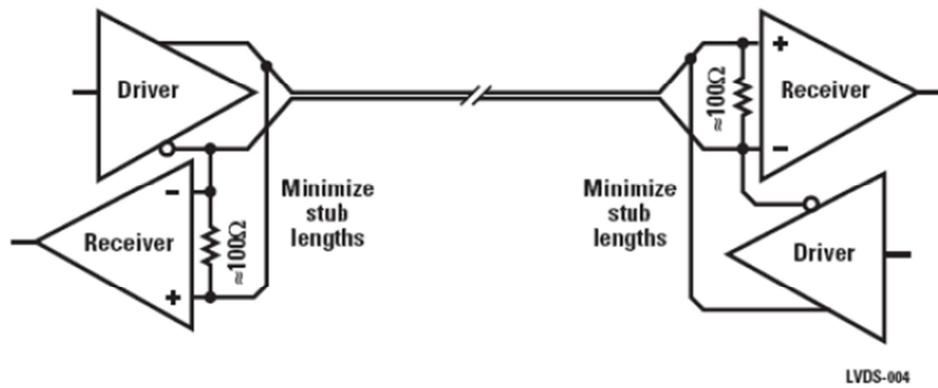


Figura 52 - Configurazione bi-direzionale half-duplex

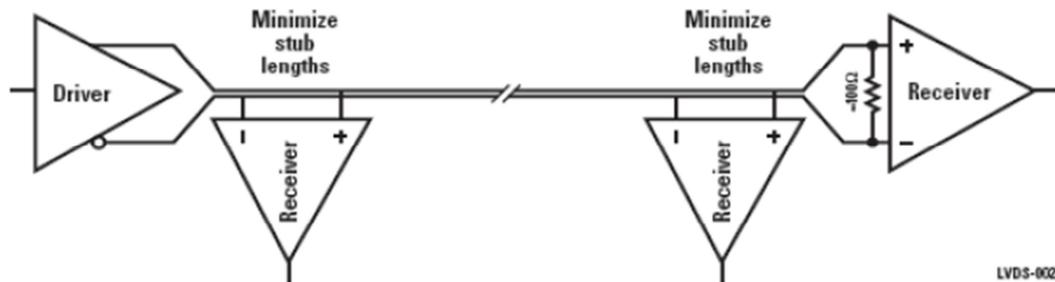


Figura 53 - Configurazione Multidrop

Una configurazione di multidrop connette più ricevitori ad un driver. Questi sono utili in applicazioni di distribuzione di dati. Si possono usare anche se le lunghezze di stub sono il più corte possibile (meno di 20 mm).

## **4.13 Un'interfaccia economica**

L'LVDS è una soluzione economica, in quanto:

- consente di avere elevate prestazioni, che possono essere ottenute usando un comune cavo CAT3 e connettori, e materiali come il Flame Resistant 4 (FR4), ovvero il tipo di materiale usato comunemente per fare i PCB.
- L'LVDS consuma veramente poca potenza, semplificando il dimensionamento dell'alimentazione, le dimensioni delle ventole, e altre unità periferiche.
- L'LVDS è una tecnologia a basso rumore e tollerante al rumore.
- I transceiver LVDS sono prodotti economici che possono anche essere integrati nei circuiti digitali fornendo alti livelli di integrazione.

## **4.14 LVDS negli FPGA e negli ASICs**

Ultimamente anche FPGA e ASIC si stanno muovendo verso l'applicazione di soluzioni Bus LVDS. Questi nuovi prodotti hanno migliorato le caratteristiche di driving dell'LVDS per essere più compatibile con una tipica topologia multidrop. Ci sono sia vantaggi che svantaggi con queste piattaforme FPGA o ASIC rispetto alle soluzioni a componenti discreti. I progettisti dovranno considerare questi vantaggi insieme ai compromessi a cui dovranno sottostare per mantenere una buona integrità del segnale. Dovrebbero essere anche consapevoli che soluzioni a componenti discreti sono meno economiche delle piattaforme FPGA integrate. Ci sono ancora molti aspetti di progettazione che possono essere

sviluppati per poter progettare con successo una robusta interfaccia di backplane:

- lunghezza di stub: è la lunghezza della pista dalla traccia di backplane, attraverso i connettori verso il ricevitore Bus LVDS. Stub troppo lunghi conducono a una scarsa integrità del segnale.
- Protezione ESD: la resistenza alle scariche elettrostatiche (ESD) migliora l'affidabilità del sistema durante gli eventi di inserzione e di rimozione.
- Carico capacitivo: è la capacità vista da un dispositivo attivo sulle porte I/O. Alte capacità conducono a una bassa impedenza e a un basso margine di rumore.

#### **4.15 Lunghezza di stub**

Ridurre la lunghezza di stub è uno dei migliori modi per migliorare l'integrità del segnale di un bus multidrop o multipoint. Come regola iniziale, la lunghezza di stub non dovrebbe essere lunga più di 2.5 cm circa. E' possibile progettare le lunghezze delle piste con stub più lunghi, tuttavia il rumore dovuto alle riflessioni del segnale limiterebbe le prestazioni del sistema.

#### **4.16 Protezione ESD**

Una scheda o un cavo può essere collegato a un sistema, per cui è possibile che si verifichino delle scariche elettrostatiche (ESD). È molto probabile

che circuiti integrati montati alle interfacce esterne della scheda siano suscettibili di eventi di ESD.

Selezionati dispositivi con alte tolleranze di ESD aumenteranno l'affidabilità della scheda. È desiderabile isolare e proteggere i dispositivi dagli stress associati agli eventi di ESD.

## **4.17 Carico capacitivo**

E' la capacità vista da un dispositivo attivo sulle porte I/O. Essa è legata essenzialmente a tre fattori e sono:

- capacità dovuta ai connettori;
- capacità dovuta alle piste PCB;
- capacità dovuta alla struttura del dispositivo.

In un buon progetto il connettore contribuisce da 2 pF a 3 pF, la traccia contribuisce da 2 pF a 3 pF ed il dispositivo contribuisce da 4 pF a 5 pF. Il carico totale in un tal disegno è intorno 10 pF.

## **Capitolo V**

### **“Il software di progettazione”**

#### **5.1 Tool di sviluppo**

Per l'intera progettazione dell'SRDU si è utilizzato il tool MICROSIM 8.0 della Microsim Corporation che permette di disegnare lo schema globale, di analizzarlo mediante delle simulazione e poi con la creazione di un'opportuna net-list permette lo sbroglio del circuito, necessario per la realizzazione dello stampato.

#### **5.2 MicroSim 8.0**

I programmi di simulazione circuitale costituiscono uno strumento di estrema utilità per chi si occupa di progettazione di circuiti elettronici. Il loro impiego diviene pressoché indispensabile nel caso di progettazione di circuiti integrati. Infatti, sebbene il modo più semplice per verificare la corrispondenza alle specifiche di progetto di un circuito elettronico sia quello di costruirne un prototipo ed effettuare misure su di esso, l'avvento della tecnologia dei circuiti integrati ha reso molto problematico questo procedimento. La realizzazione di un prototipo di circuito integrato deve essere effettuata con le stesse tecnologie impiegate per la realizzazione del circuito definitivo, con costi e tempi notevoli per una semplice verifica di progetto.

Per questo motivo, già a partire dai primi anni '70, sono stati sviluppati programmi di simulazione circuitale sempre più sofisticati e potenti. Lo scopo di questi programmi è, infatti, quello di costituire un'alternativa alla realizzazione di prototipi. In termini molto semplici, questi programmi simulano un banco di laboratorio sul quale sia possibile costruire un circuito elettronico e provarlo.

Da diversi anni uno dei programmi più accreditati nel campo della simulazione circuitale è SPICE (Simulation Program with Integrated Circuit Enphasis). La prima versione di questo programma fu sviluppata, durante la prima metà degli anni '70, all'Università di Berkeley in California. Negli anni successivi il programma ha subito continui miglioramenti e, accanto alla versione originale, sono state sviluppate versioni commerciali, prodotte da varie ditte. Attualmente sono disponibili un gran numero di prodotti che possono essere considerati come parte della famiglia SPICE. Tuttavia, tutti i programmi della famiglia di SPICE utilizzano, essenzialmente, gli stessi algoritmi di calcolo e richiedono le stesse modalità d'uso da parte dell'utilizzatore.

Uno dei programmi più diffusi a livello di personal computer è il tool MicroSim 8, prodotto dalla ditta *MicroSim Corporation* (incorporata nella ditta *Orcad*). La versione di valutazione è dotata di quasi tutte le prerogative della versione commerciale che permettono di ben esplorare le potenzialità del programma. La stessa presenta alcune limitazioni che, ovviamente, ne limitano il campo di utilizzo alla didattica o poco più.

L'ultima *Evaluation Version* dispone di un potente editor, ovvero lo *Schematics*, che permette di creare lo schema grafico del circuito da simulare, proprio come lo disegneremmo sul foglio. Alla fine, se il circuito non presenta errori, l'editor grafico crea automaticamente l'equivalente netlist e lancia, sempre automaticamente, il programma *Pspice* vero e

proprio che esegue le varie simulazioni richieste. Sequenzialmente, finita la fase di simulazione e se il tipo di simulazione lo richiede, viene lanciato il programma *Probe* che visualizza le tensioni e le correnti specificate nello schema oppure attende gli appositi comandi per visualizzarli. In una fase successiva del progetto invece è possibile importare la net-list creata nello *Schematics* nel *PCBoards*, per effettuare il piazzamento dei componenti e lo sbroglio circuitale necessario per la realizzazione dello stampato. Il tutto avviene operando all'interno di *Windows* permettendo un semplice interscambio di dati e grafici fra applicazioni di tipo diverso.

### **5.3 Creazione del circuito mediante lo *Schematics***

Lo *Schematics* fornisce un foglio di lavoro grafico sul quale è possibile disegnare il circuito avvalendosi di tutta una serie di simboli grafici corrispondenti ai vari componenti circuitali. Nello stesso foglio è possibile inserire finestre e righe per i commenti e, addirittura, grafici. Il circuito così costruito viene registrato su un file con estensione *.SCH*. Solo in un secondo tempo, dopo aver impostato i tipi di analisi richieste, si può far partire la simulazione e *Schematics* provvederà automaticamente a generare e a registrare la corrispondente netlist su un file *.CIR*. Se aperta con un qualsiasi editor di testo, la netlist apparirà in una forma simile a quella delle vecchie versioni di *Pspice* in quanto il simulatore è rimasto invariato nelle sue componenti fondamentali. Il circuito viene costruito mediante l'apposizione sul foglio di lavoro dei vari componenti e, quindi, la realizzazione delle necessarie interconnessioni. La scelta dei componenti avviene facendo click sul pulsante *get new part* contrassegnato dal simbolo in Figura 54, è possibile accedere alla lista completa dei componenti disponibili.



**Figura 54 - Simbolo "Get New Part"**

Alternativamente, possiamo ricorrere al contiguo menù a tendina che mette a disposizione gli ultimi componenti utilizzati. Il componente può essere ruotato mediante CTRL+R (rotate) oppure rovesciato mediante CTRL+F (flip). Le successive interconnessioni vengono fatte usando lo strumento *draw wire* contrassegnato dal simbolo in Figura 55.



**Figura 55 - Simbolo "Draw Wire"**

La denominazione dei componenti viene fatta, solitamente, in modo automatico da *Schematics* con una numerazione progressiva. L'utente può comunque rinominare il componente in ogni momento facendo un doppio click sulla vecchia denominazione al che apparirà una finestra dove il programma fa richiesta del nuovo nome. Il valore del componente viene impostato facendo doppio click sul valore di default (es. 1k per le resistenze, 1n per i condensatori). Gli stessi possono essere indicati per esteso, in notazione scientifica, o anche usando i seguenti suffissi di scala, riportati nella tabella di Figura 56.

F (femto)	$10^{-15}$
P (pico)	$10^{-12}$
N (nano)	$10^{-9}$
U (micro)	$10^{-6}$
M (milli)	$10^{-3}$
K (kilo)	$10^{+3}$
MEG (mega)	$10^{+6}$
G (giga)	$10^{+9}$
T (tera)	$10^{+12}$

Figura 56 - Tabella dei suffissi di scala

Per esempio, il valore di un condensatore da 15  $\mu\text{F}$  potrà essere indicato, indifferentemente, come 0.000015, 15E-6 oppure 15U. Con un doppio click sul componente vero e proprio si ha, infine, accesso ad una finestra che riassume tutte le varie caratteristiche del componente stesso con la possibilità di aggiornare le stesse.

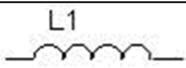
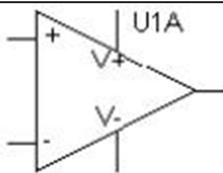
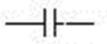
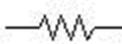
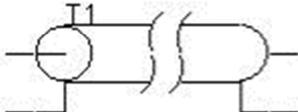
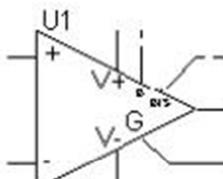
Componenti passivi		Amplificatori operazionali
 L1 10uH	Induttanza	 U1A LM324 Amplificatore Operazionale
 C1 1n	Capacità	
 R1 1k	Resistenza	
 T1	Linea di trasmissione	 U1 LM111 Amplificatore Operazionale  +5v Alimentazione Generica

Figura 57 - Simboli per componenti passivi e OpAmp

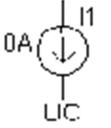
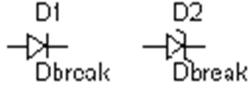
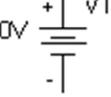
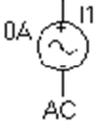
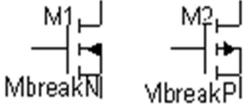
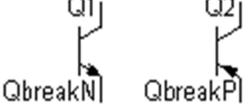
Generatori	Diodi e transistor
 <p>Generatore indipendente di corrente continua</p>	 <p>Diodi</p>
 <p>Generatore indipendente di tensione continua</p>	 <p>Transistor ad effetto di campo</p>
 <p>Generatore indipendente di corrente alternata</p>	 <p>Transistor MOSFET</p>
 <p>Generatore indipendente di tensione alternata</p>	 <p>Transistor Bipolari</p>

Figura 58 - Simboli per generatori, diodi e transistor

Importantissimo è il fatto che, nel foglio grafico dovrà essere sempre presente almeno un riferimento di massa (NODO 0) identificato dal simbolo riportato in Figura59.

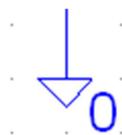


Figura 59 - Simbolo nodo 0

Sul foglio grafico possono essere specificate le tensioni e le correnti che si intende visionare facendo uso degli appositi marker, riportati in Figura 60 e 61.

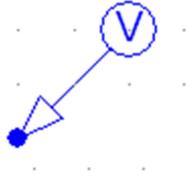


Figura 60 - Marker per la tensione

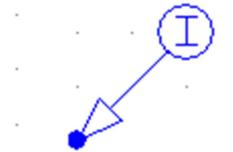


Figura 61 - Marker per la corrente

selezionabili mediante le corrispondenti icone di Figura 62.



Figura 62 - Icone dei marker di tensione e corrente

Marker più specifici relativi a tensioni e correnti in dB, alla fase, alle componenti reali o immaginarie sono disponibili nel corrispondente menù a tendina Markers.

## 5.4 Simulazione del circuito

La simulazione può essere lanciata premendo F11 oppure facendo click sull'icona *simulate* di Figura 63.



Figura 63 - Icona "Simulate"

In primo luogo, *Schematics* crea la netlist corrispondente in una forma del tutto simile a quella delle vecchie versioni di *Pspice*, quindi viene lanciato il simulatore vero e proprio che inizialmente controlla l'assenza di errori nella netlist generata. Se tutto va bene, la simulazione viene avviata, altrimenti il programma si interrompe e, mediante *MicroSim Message Viewer*, informa l'utente degli errori riscontrati. E' da Notare che, quando le informazioni fornite non sono sufficienti alla risoluzione del problema, può essere utile esaminare il file di uscita con estensione .OUT che *Pspice* crea in ogni caso; tale operazione può essere compiuta selezionando la voce Examine Output dal menù Analisis che apre il suddetto file con *MicroSim Text Editor*.

Prima del lancio della simulazione, occorre indicare il tipo di analisi da effettuare, altrimenti *Pspice* si limiterà a calcolare il punto di lavoro in continua che è il tipo di analisi che il simulatore effettua sempre, prima di ogni altro tipo di simulazione. Il calcolo del punto di lavoro in continua è sufficiente per la risoluzione di reti resistive contenenti solo generatori in continua oppure per visionare la polarizzazione di un transistor. I risultati del calcolo del punto di lavoro in continua sono visionabili in ogni momento, dopo aver lanciato la simulazione, direttamente sul foglio di lavoro di *Schematics* facendo uso delle icone di Figura 64.



Figura 64 - Icone per i risultati del punto di lavoro in continua

Le suddette inseriscono, nello schema, un blocco verde in corrispondenza di ogni nodo ad indicarne la tensione e un blocco blu in corrispondenza di ogni componente ad indicare la corrente che vi scorre.

L'impostazione delle varie simulazioni effettuabili avviene attraverso un'apposita finestra richiamabile mediante l'icona "Setup Analysis", il cui simbolo è riportato in Figura 65;



Figura 65 - Icona "Setup Analysis"

oppure selezionando la voce "Setup", dal menù Analysis.

## 5.5 Tipi di analisi

I principali tipi di analisi effettuabili sono i seguenti:

- Analisi in continua (DC Sweep...) dove si rende variabile un generatore o un parametro nel calcolo del punto di lavoro in continua;
- Analisi in frequenza (AC Sweep...) dove si rende variabile la frequenza dei generatori AC presenti nel circuito;
- Analisi del transitorio (Transient...) dove si effettua la simulazione del circuito nel dominio del tempo nell' intervallo considerato e con la risoluzione desiderata.

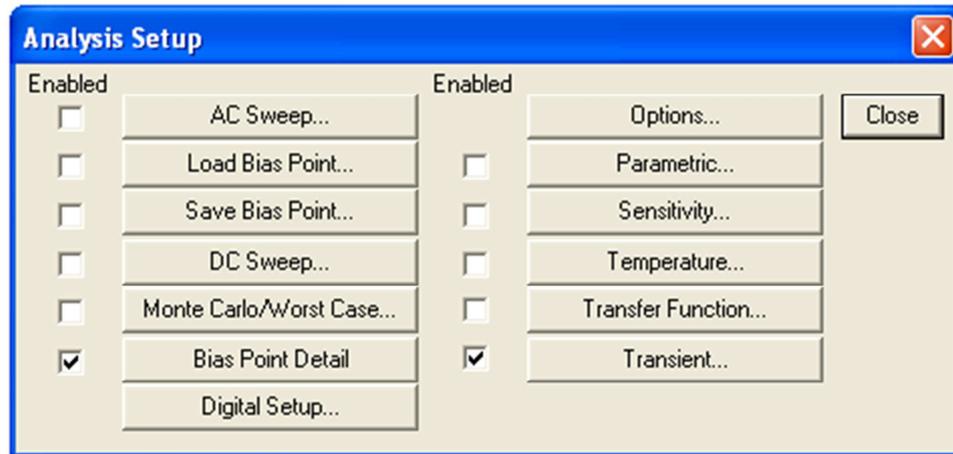


Figura 66 - Finestra di "Analysis Setup"

In pratica, questa finestra (Figura 66), aggiunge automaticamente i vecchi comandi "." alla netlist che verrà creata successivamente.

## 5.6 Uso del post-processore grafico *Probe*

I risultati della simulazione possono essere ottenuti in forma grafica direttamente sullo schermo del computer ricorrendo all'uso del post-processore grafico *Probe* che *Microsim* fornisce a corredo di *Pspice*. *Probe* è molto semplice da usare in quanto si tratta di un programma a menù e, quindi, non c'è la necessità di ricordarsi comandi o istruzioni particolari. Una volta lanciato il programma, il calcolatore imposta una schermata in modalità grafica simile allo schermo dell'oscilloscopio sul quale visionare le tracce relative alle grandezze desiderate. Sono inoltre disponibili, sempre tramite menù appositi, varie opzioni (cambiamenti di scala sia per l'asse verticale che per quello orizzontale, funzioni di cursore, ecc.) ed è possibile stampare il grafico ottenuto.

Se non specificato diversamente alla voce "Probe Setup" del menù Analysis di *Schematics*, il programma si attiva automaticamente alla fine di ogni simulazione che ne faccia richiesta andando ad aprire il file .DAT, che il simulatore ha creato. *Pspice* salva su questo file, per default, i dati relativi a tutte le tensioni di nodo e a tutte le correnti di ramo, per cui non è necessario specificare le grandezze d'interesse. Ciò che vedremo sullo schermo saranno, inizialmente, le sole tracce relative ai marker apposti sul foglio di lavoro.

Per visualizzare altre tracce, è necessario premere INS, scegliere la voce "Add" dal menù Trace oppure ancora cliccare sull'icona "Add Trace", il cui simbolo è riportato in Figura 67.



Figura 67 - Icona "Add Trace"

Così facendo, avremo accesso alla lista completa delle variabili disponibili (tensioni di nodo e correnti sui componenti) e alle possibili operazioni matematiche effettuabili su di esse (ad esempio per il calcolo di una potenza). Per default, viene riportata l'ampiezza della grandezza richiesta anche se è possibile richiedere altre caratteristiche della grandezza, aggiungendo uno dei seguenti codici alla lettera "V" (per le tensioni) o "I" (per le correnti), riportati nella tabella seguente.

(nessun codice)	ampiezza
DB	ampiezza in decibel
M	ampiezza
P	fase
R	parte reale
I	parte immaginaria

Figura 68 - Tabella Codici

Per circuiti di una certa complessità, il fatto che *Pspice* registri sul file .DAT tutte le tensioni di nodo e le correnti sui componenti può portare alla creazione di file di dati di dimensioni piuttosto elevate. Per evitare questo, *Pspice* può essere impostato in modo che lo stesso salvi i soli dati relativi ai markers apposti sul foglio di lavoro di *Schematics*. Tale operazione si effettua selezionando l'opzione "At Markers Only" dal sottomenù Data Collection della finestra Probe Setup Options (apribile alla voce "Probe Setup" del menù Analysis).

## 5.7 Simulazione nel dominio del tempo

La simulazione nel dominio del tempo, o simulazione della risposta transitoria che dir si voglia, è senz'altro uno degli impieghi più comuni dei programmi della famiglia *Pspice*. Mediante questo tipo di simulazione si ha la possibilità di vedere come il circuito risponderà, istante per istante, alle forme d'onda delle eccitazioni applicate e vedere anche quali sono gli effetti delle eventuali non linearità presenti nel circuito. Si tratta anche della simulazione più complessa dal punto di vista algoritmico in quanto *Pspice* effettua la simulazione mediante una discretizzazione del circuito; in termini molto semplici, questo significa che le equazioni differenziali

che descrivono il comportamento del circuito vengono trasformate in equazioni alle differenze finite. Un punto molto critico in questo tipo di approccio è la scelta del passo di discretizzazione, cioè dell'intervallo di tempo che intercorre tra una soluzione delle equazioni e la successiva; *Pspice* adotta, per questa scelta, un sofisticato algoritmo a passo variabile mediante il quale il tempo di campionamento viene adattato in base alla forma dei segnali presenti sul circuito.

Questo tipo di simulazione si attiva selezionando la voce “Transient” dalla finestra di setup delle simulazioni. All'interno della stessa dovranno essere specificati:

- la risoluzione con cui si vogliono visualizzare i risultati Print Step;
- il limite superiore del periodo in cui interessa la risposta transitoria Final Time;
- l'eventuale limite inferiore No-Print Delay (trattasi di un parametro opzionale il cui uso è consigliabile per ridurre le dimensioni del file .DAT quando la simulazione dei primissimi istanti non è significativa o non è di interesse) ;
- il massimo valore che può assumere il passo automatico e adattativo di campionamento Step Ceiling (trattasi di un parametro anch'esso opzionale per aumentare la risoluzione con cui *Pspice* effettua i calcoli in quanto, per default, il simulatore usa un massimo passo di campionamento che è 1/50 del Final Time)

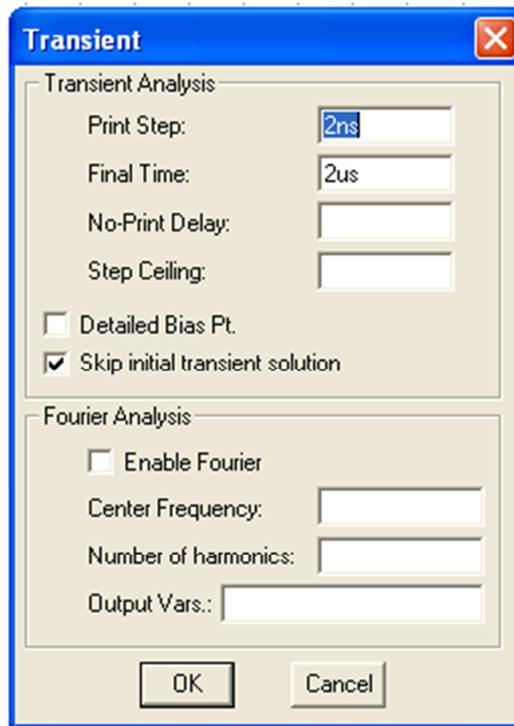


Figura 69 - Finestra "Transient"

In molti casi può essere interessante effettuare la simulazione della risposta transitoria del circuito con condizioni iniziali diverse da zero per i componenti reattivi. *Pspice* permette di ottenere questo in modo molto semplice: è sufficiente specificare, per ciascun componente reattivo, il valore della condizione iniziale nella scheda descrittiva a cui si accede cliccando sopra il componente interessato dalla condizione iniziale non nulla. Ovviamente il valore immesso sarà interpretato come tensione per i condensatori e corrente per gli induttori.

## 5.8 Simulazione della risposta in frequenza

L'analisi si imposta accedendo alla voce "AC Sweep" della finestra di setup delle simulazioni immettendo:

- la frequenza iniziale;
- la frequenza finale;
- il tipo di scala desiderata;
- il numero di punti in cui si voglia effettuare l'analisi.

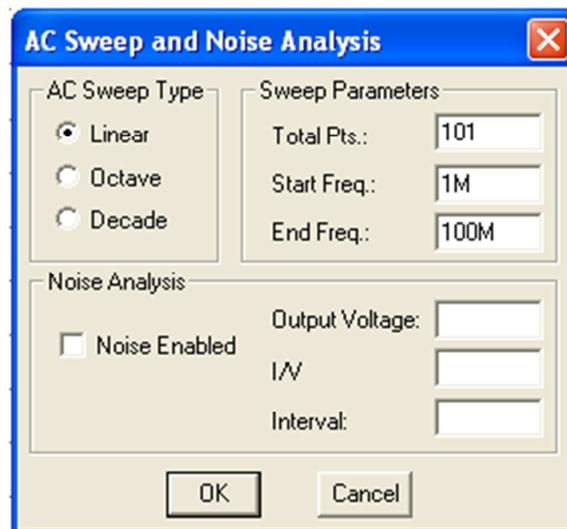


Figura 70 - Finestra "AC Sweep Analysis"

La procedura è equivalente all'inserimento del vecchio comando .AC delle versioni con netlist. Al solito, sarà opportuno indicare con i marker le tensioni o le correnti che si desidera visualizzare.

L'asse delle ascisse può essere rappresentato in scala lineare o logaritmica.

La grandezza di uscita può essere rappresentata in decibel ed in altre forme.

## 5.9 Creazione dello stampato mediante PCBoards

Una volta creata la net-list dello Schematico, bisogna controllare se ad ogni componente è stato associato il relativo package in modo da poterlo visualizzare correttamente nel PCBoards.

Se quindi non sono presenti errori sarà possibile passare al PCBoards dalla finestra *tool* dello *Schematic*, come in Figura 71.

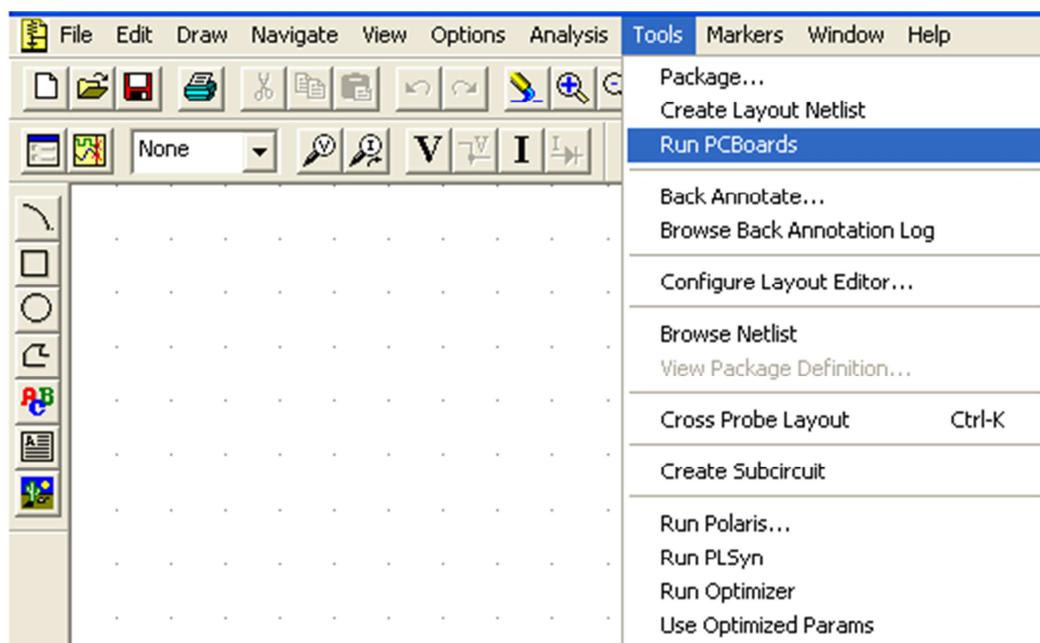


Figura 71 - Passaggio da *Schematics* a *PCBoards*

Successivamente verranno visualizzati i package dei componenti relativi al corrente circuito e piazzati sulla griglia del PCBoard; selezionando poi il componente desiderato e cliccando, prima sul tasto Edit della barra superiore e poi su Rotate (oppure Ctrl+R) è possibile ruotare opportunamente il componente in questione con un piazzamento opportuno tale da facilitare la successiva fase di disegno delle piste.

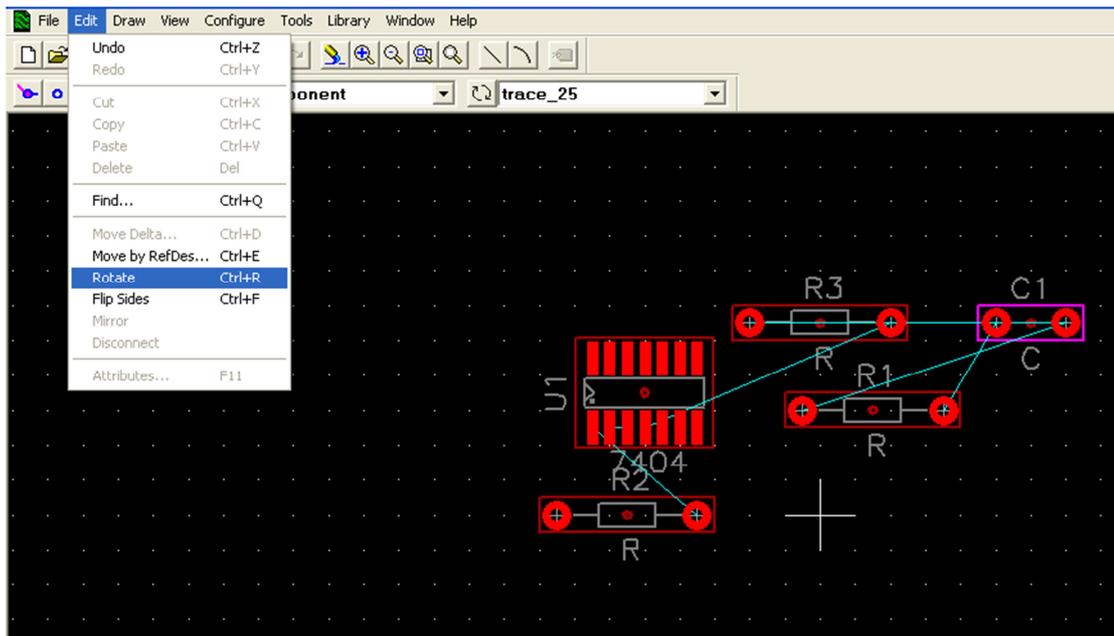


Figura 72 - Piazzamento dei componenti

A questo punto bisogna disegnare la linea di bordo della scheda e ciò può essere fatto sempre dal menù principale cliccando prima su “Draw” e poi su “Board Signal Keepin”, stando attenti a racchiudere in quest’area tutti i componenti del progetto.

Ora abbiamo due possibilità, ovvero fare uno sbroglio automatico o manuale.

Per lo sbroglio automatico bisogna lanciare “CCT AutoRoute” dal menù Tool; dove nel caso lo si volesse fare a singola faccia, bisogna ricordare che prima di lanciare il comando “AutoRoute” bisogna andare in “Tool” poi in “Option” e togliere la spunta a “CCT Auto-Complete”.

Per lo sbroglio a mano invece basta premere il tasto “Draw Trace”, il cui simbolo è riportato in Figura 73, e che si trova nella Tool Bar e fare quindi la pista desiderata.



Figura 73 - Icona "Draw Trace"

In tutto ciò bisogna inoltre tener presente altri comandi essenziali per la progettazione dello stampato, che si trovano nella Tool Bar ovvero:

- il tasto “Draw Via” (Figura 74), sempre presente nella Tool Bar che permette di creare un through hole, necessario per sbrogli a doppia faccia;



Figura 74 - Icona “Draw Via”

- le tre Drop Down List che sono rispettivamente:
  - “Current Grid” (Figura 75), che setta la spaziatura della griglia (in millesimi di pollice);



Figura 75 - Finestra di "Current Grid"

- “Current Layer” (Figura 76), che setta l’area di lavoro di un layer o una coppia di layer;



Figura 76 - Finestra di "Current Layer"

- "Current Style" (Figura 77), che setta lo spessore di una pista, di un testo, di una linea, di un arco o di un pin (in millesimi di pollice).



Figura 77 - Finestra di "Current Style"

Terminata la realizzazione della scheda in ogni particolare, si vanno infine a creare dei files, che sono il vero e proprio prodotto della progettazione eseguita finora. Questi ultimi contengono tutte le informazioni di cui necessita l'azienda produttrice di stampati. Tali files sono chiamati files Gerber e contengono una descrizione, in un apposito formato, dell'immagine, in due dimensioni, rappresentante un layer. Tutti i programma di progettazione per stampati può generare i files in questo formato perché tutte le macchine fotoplotter ne riconoscono il formato. Il file è di tipo testo, consiste in un insieme di righe che rappresentano coordinate X-Y con l'aggiunta di alcuni comandi che definiscono l'inizio, la fine e la forma delle figure. In aggiunta contengono anche la forma e la grandezza delle linee e dei fori.

Uno di questi files è necessario per ogni layer, e in aggiunta se ne utilizzano altri per foratura, la pasta saldante (top e bottom), la serigrafia (top e bottom) e il solder resist (le zone della scheda non ricoperte dalla resina protettiva verde). Non vi è modo di inserire in un file Gerber informazioni circa il layer che presenta, perciò tale informazione viene inserita direttamente nel nome del file o, molto più comunemente, nella sua estensione.

# Capitolo VI

## “Realizzazione dell’SRDU”

### 6.1 Progetto del modulo SRDU

In base a quanto detto precedentemente l’SRDU deve interfacciarsi opportunamente sia all’RDA che all’EG e alla SIS, per cui lo schema a blocchi a cui faremo riferimento è quello riportato nella Figura 78 seguente.

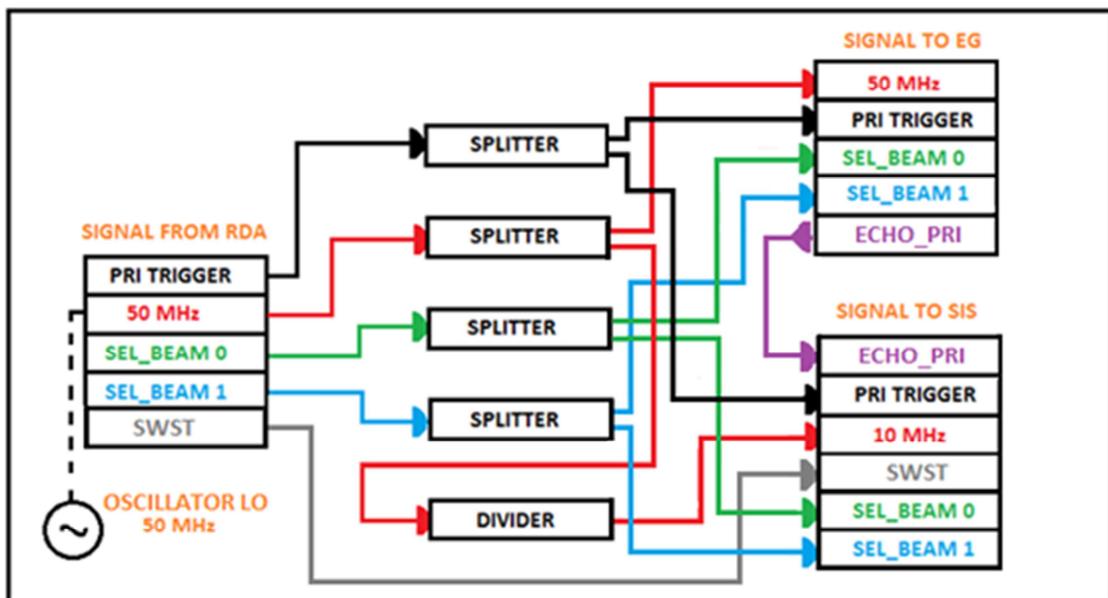


Figura 78 - Schema a blocchi dell'SRDU

Il modulo SRDU deve essere costituito dai seguenti pannelli rispettivamente anteriore e posteriore per essere poi allocato in rack standard da 19". Le dimensioni e le caratteristiche meccaniche sono riportate nella relativa documentazione fornita dalla Thales Alenia Space.

Di seguito, in Figura 79 e Figura 80, sono riportati rispettivamente, il pannello anteriore e quello posteriore del modulo SRDU, di distribuzione del segnale di riferimento.

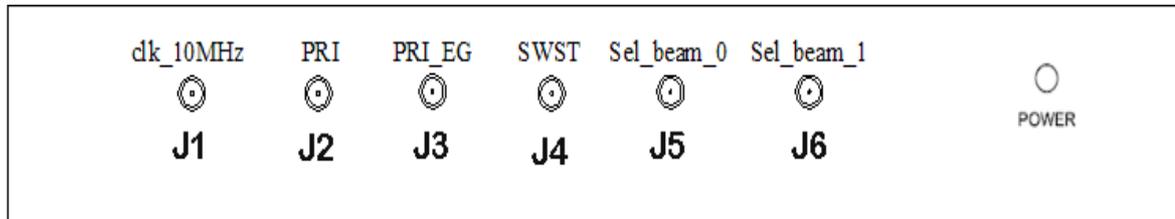


Figura 79 - Pannello anteriore SRDU

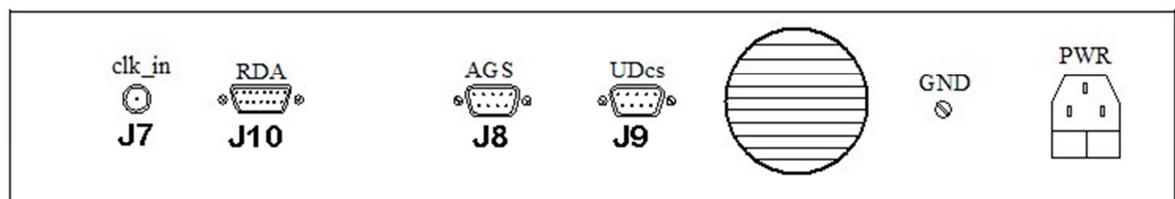


Figura 80 - Pannello posteriore SRDU

Il modulo ha le seguenti dimensioni:

- Altezza: “2U;
- Larghezza: 45.2 cm;
- Profondità: 65 cm.

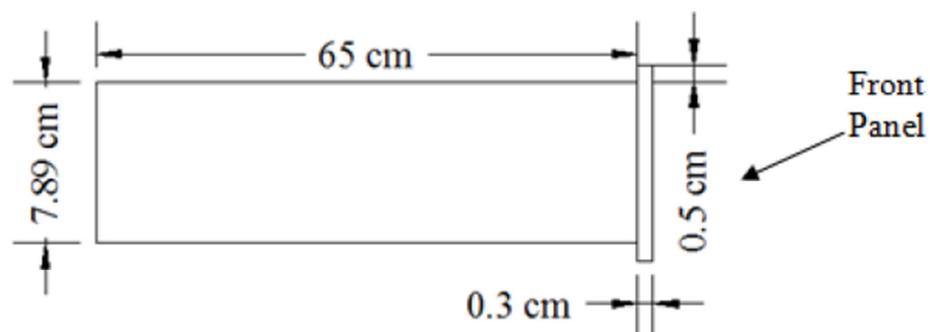


Figura 81 - Vista laterale del modulo SRDU

Nelle seguenti tabelle di Figura 82 e 83, riportiamo rispettivamente i connettori del pannello anteriore e posteriori e le loro funzioni:

<b>Ref</b>	<b>Label</b>	<b>Description</b>
J1	Clk_10 MHz	10 MHz reference signal to SIS (SMA)
J2	PRI	PRI to SIS (SMA)
J3	PRI_EG	PRI to SIS (SMA)
J4	SWST	SWST to SIS (SMA)
J5	Sel_Beam_0	Selected beam_0 to SIS (SMA)
J6	Sel_Beam_1	Selected beam_1 to SIS (SMA)
D1	POWER	Power on/off

**Figura 82 - Tabella dei connettori relativi al pannello anteriore**

<b>Ref</b>	<b>Label</b>	<b>Description</b>
J7	Clk_in	50 MHz reference signal from RDA (SMA)
J8	AGS	Digital I/O channel from/to AGS (DB9F)
J9	UDcs	Digital I/O channel to UDcs (DB9F)
J10	RDA	Digital I/O channel from RDA (DB15F)
S1	PWR	Power supply from MPDU (IEC)

**Figura 83 - Tabella dei connettori relativi al pannello posteriore**

Riportiamo di seguito invece le caratteristiche dei segnali di ingresso e di uscita dell'SRDU:

- Clk\_in

È un segnale single ended, a 50MHz che è connesso mediante un connettore SMA con impedenza d'ingresso 50Ω e Output Voltage Range di 0 dBm;

- Clk\_10MHz  
È un segnale single ended, a 10MHz che è connesso mediante un connettore SMA con impedenza d'ingresso di 50Ω e Output Volt Range di 0 dBm;
- PRI  
È un segnale single ended, che è connesso mediante un connettore SMA con impedenza d'ingresso di 50Ω;
- PRI\_EG  
È un segnale single ended, che è connesso mediante un connettore SMA con impedenza d'ingresso di 50Ω;
- SWST  
È un segnale single ended, che è connesso mediante un connettore SMA con impedenza d'ingresso di 50Ω;
- Sel\_Beam\_0  
È un segnale single ended, che è connesso mediante un connettore SMA con impedenza d'ingresso di 50Ω;
- Sel\_Beam\_1  
È un segnale single ended, che è connesso mediante un connettore SMA con impedenza d'ingresso di 50Ω;

I livelli di uscita per i segnali PRI, PRI\_EG, SWST, Sel\_Beam\_0, Sel\_Beam\_1 sono mostrati nella tabella di Figura 84.

<b>Voltage Level</b>	<b>Minimum</b>	<b>Maximum</b>
VOL	0 V	0.4 V
VOH	2.4 V	4 V

Figura 84 - Livelli di uscita per i segnali PRI, PRI\_EG, SWST, Seal\_Beam\_0, Seal\_Beam\_1

- PWR

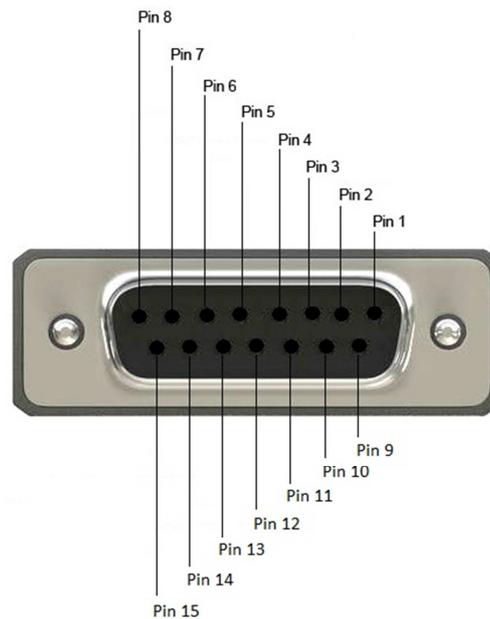
L'alimentazione dell'apparecchiatura è in AC mediante un connettore C14 con le caratteristiche riportate nella sottostante tabella di Figura 85.

Input Voltage Range	100 to 240 Vac
Operating Voltage Range	90 to 264 Vac
Input Frequency	50/60 Hz
Operating Frequency Range	47 to 63 Hz
Input Current Rating	4-2 A

Figura 85 - Specifiche di alimentazione

Passiamo ora alla descrizione dei pin relativi ai connettori posteriori per l'SRDU che sono di seguito riportati.

- **Connettore RDA**



**Figura 86 - Connettore DB15 femmina proveniente dall'RDA**

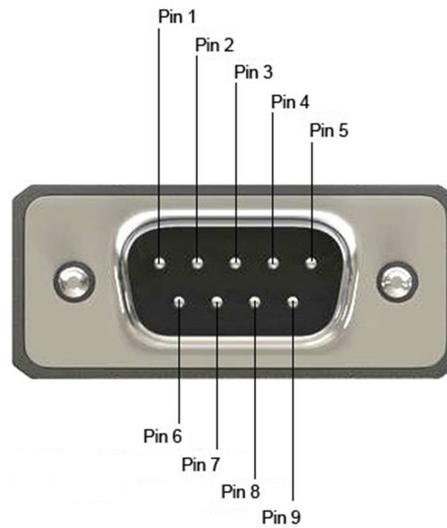
E' un connettore di tipo DB15 femmina la cui assegnazione dei pin riportata nella tabella di Figura 87.

<b>Pin</b>	<b>Signal Description</b>
1,2	PRI from RDA
3,4	Selected Beam 0 from RDA
5,6	Selected Beam 1 from RDA
7,8	SWST from RDA
9	Ground
10-15	N. C.

**Figura 87 - Assegnazione dei pin relativi al connettore RDA di tipo DB15 femmina**

I segnali riportati nella tabella soprastante sono segnali di tipo LVDS.

- **Connettore AGS**



**Figura 88 - Connettore DB9 maschio proveniente dall'AGS**

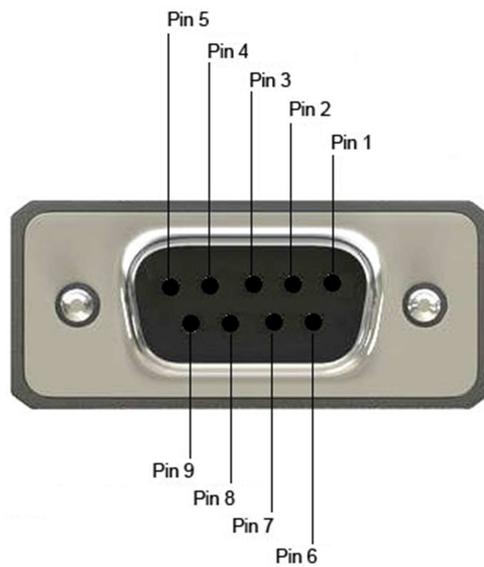
E' un connettore DB9 maschio la cui assegnazione dei pin è riportata nella tabella di Figura 89.

<b>Pin</b>	<b>Signal Description</b>
1,2	PRI-EG from EG
3,4	PRI to EG
5,6	Selected Beam 0 to EG
7,8	Selected Beam 1 to EG
9	Ground

**Figura 89 - Assegnazione dei pin relativi al connettore AGS di tipo DB9 maschio**

I segnali riportati nella tabella soprastante sono segnali di tipo LVDS.

- **Connettore UDcs**



**Figura 90 - Connettore DB9 femmina proveniente dall'UDcs**

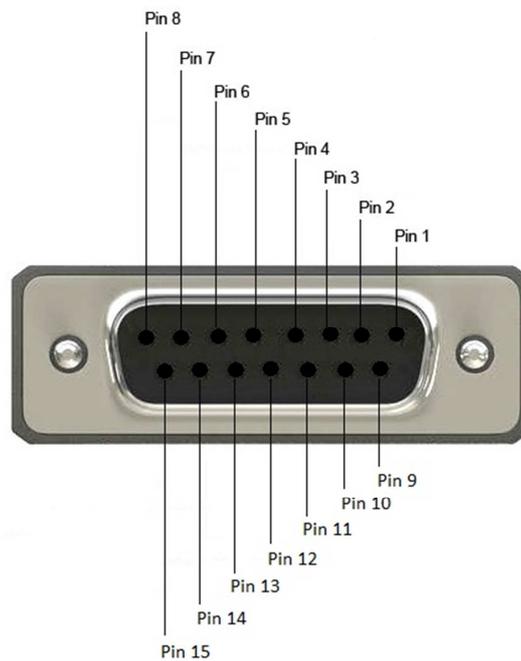
E' un connettore di tipo DB9 femmina la cui assegnazione dei pin è riportata nella tabella di Figura 91.

<b>Pin</b>	<b>Signal Description</b>
1,2	Clock to UDcs
3	Ground

**Figura 91 - Assegnazione dei pin relativi al connettore UDcs di tipo DB9 femmina**

I segnali riportati nella tabella soprastante sono segnali di tipo LVDS.

- **Connettore SIS**



**Figura 92 - Connettore DB15 femmina proveniente dal SIS**

E' un connettore di tipo DB15 femmina, la cui assegnazione dei pin è riportata nella seguente tabella di Figura 93.

<b>Pin</b>	<b>Signal Description</b>
1,2	PRI to SIS
3,4	PRI_EG to SIS
5,6	Selected Beam 0 to SIS
7,8	Selected Beam 1 to SIS
9,10	SWST to SIS
11,12	Ground
13-15	N. C.

**Figura 93 - Assegnazione dei pin relativi al connettore SIS di tipo DB15 maschio**

I segnali riportati nella tabella soprastante sono segnali di tipo LVDS.

## 6.2 Implementazione circuitale dell'SRDU

In base alle specifiche progettuali del paragrafo precedente si è realizzato lo *Schematic* del circuito mediante MICROSIM8, riportato nella Figura 94.

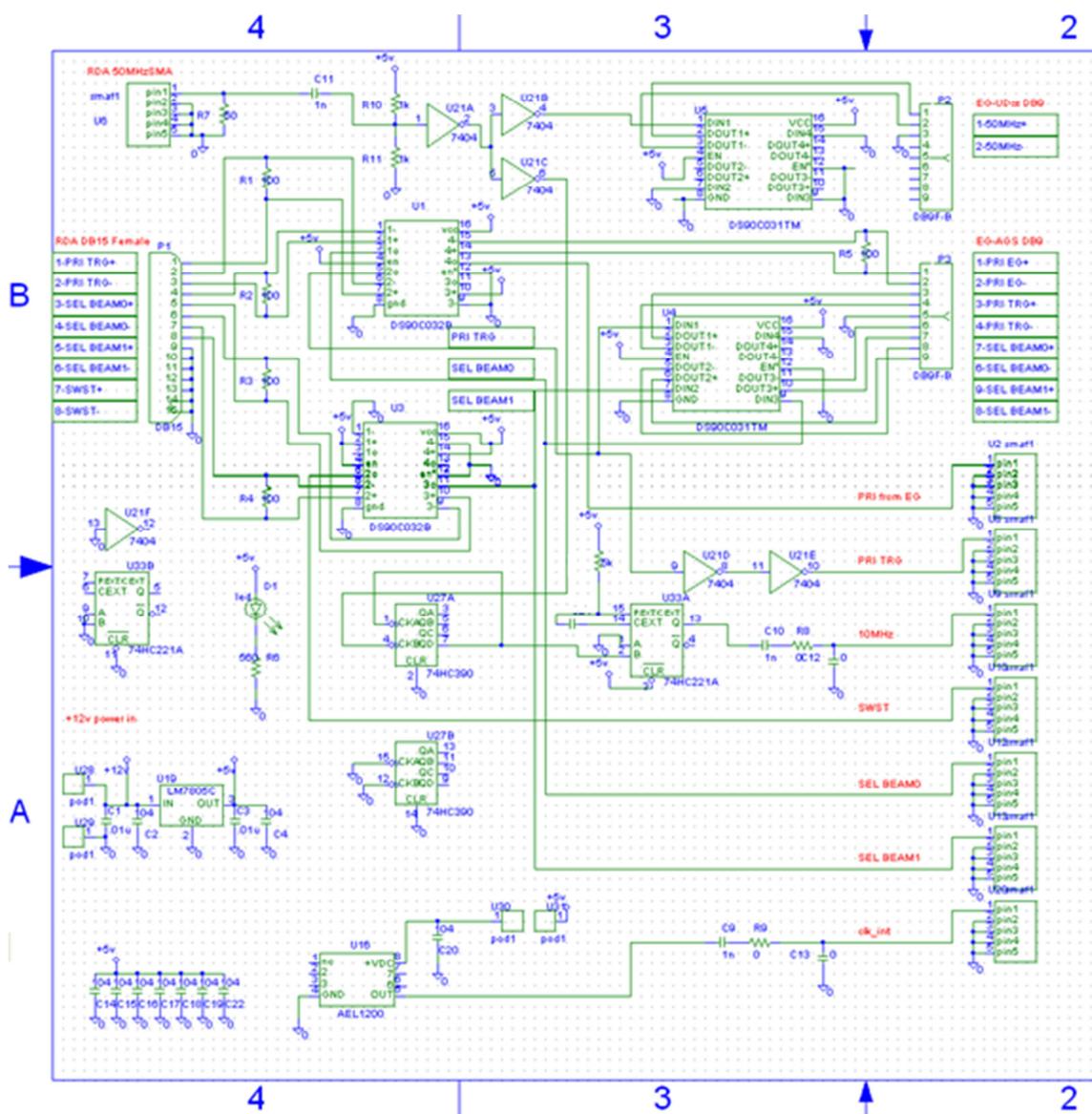


Figura 94 - Schematic dell'SRDU

I segnali provenienti dall'RDA del connettore DB15f, cioè PRI\_TRG, Sel\_Beam0, Sel\_Beam1, SWST, sono di tipo LVDS pertanto a coppie vengono terminate su resistenze di 100Ω e poi inviati a dei ricevitori LVDS DS90C032B che li converte in segnali TTL (CMOS compatibili). Le uscite del ricevitore relative a PRI\_TRG, Sel\_Beam0, Sel\_Beam1 e SWST verranno poi rese disponibili sia in TTL sui connettori SMA dell'SRDU, sia inviate a trasmettitori differenziali DS90C031 per riconvertirli nuovamente in LVDS, affinché si interfaccino e verso l'AGS mediante il connettore DB9m.

Il segnale di PRI\_EG invece proveniente dall'EG ai pin 1 e 2 del connettore AGS viene terminato su un resistore di 100Ω ed inviato al ricevitore LVDS in modo da renderlo disponibile TTL sul relativo connettore SMA, tutto come previsto dalle specifiche progettuali analizzate precedentemente.

Il ricevitore LVDS integrato DS90C032B è a tecnologia CMOS, supporta dei data rates di 155.5 Mbps (77,7 MHz) utilizzando appunto la tecnologia Low Voltage Differential Signaling (LVDS) con la possibilità, eventualmente di portarsi allo stato TRI-STATE nel caso di multiplex delle uscite. Questo integrato quando è spento presenta una elevata impedenza d'ingresso, che assicura effetti di carico minimi sulle linee LVDS quando non è presente l'alimentazione.

La piedinatura di tale integrato, lo schema funzionale e la tabella di verità sono riportate rispettivamente nelle Figure 95, 96 e 97.

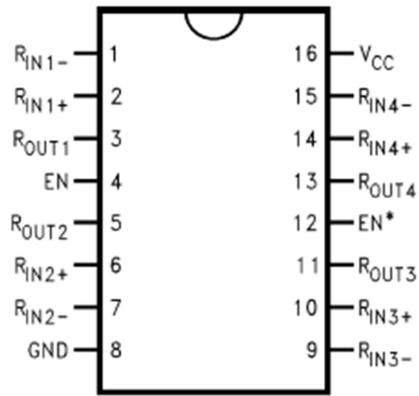


Figura 95 - Piedinatura dell'IC DS90C032B

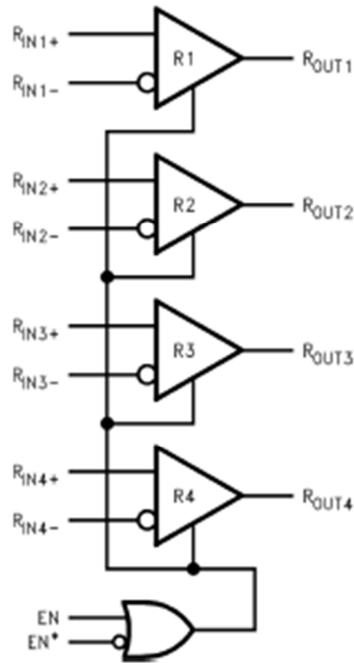


Figura 96 - Schema funzionale dell'IC DS90C032B

ENABLES		INPUTS	OUTPUT
EN	EN*	$R_{IN+} - R_{IN-}$	$R_{OUT}$
L	H	X	Z
All other combinations of ENABLE inputs		$V_{ID} \geq 0.1V$	H
		$V_{ID} \leq -0.1V$	L
		Failsafe OPEN or Terminated	H

Figura 97 - Tabella di verità dell'IC DS90C032B

Dalla tabella si ricava quindi che per il corretto funzionamento dell'integrato oltre che portare correttamente l'alimentazione positiva al pin 15 e la massa al pin 8, bisogna mantenere il pin 4 ovvero l'enable a livello logico alto e il pin 12 rappresentativo dell'enable negato a livello logico basso, in quanto non siamo interessati a realizzare la condizione di alta impedenza dell'uscita.

Analogamente il trasmettitore integrato LVDS DS90C031, della stessa tecnologia del ricevitore ovvero CMOS differenziale, permette di avere bassissimi consumi di potenza con alti trasferimenti dati. Accetta quindi livelli TTL/CMOS d'ingresso e li converte in uscita in segnali differenziali low voltage 350 mV.

Riportiamo di seguito rispettivamente, la piedinatura di questo integrato, lo schema funzionale e la tabella di verità, nelle Figure 98, 99 e 100.

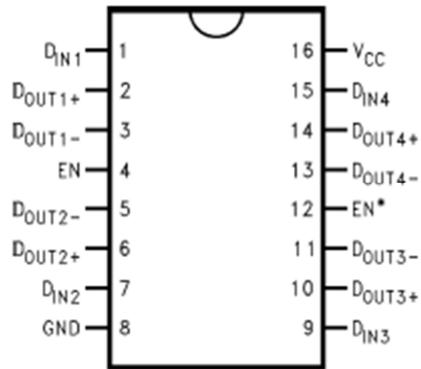


Figura 98 - Piedinatura dell'IC DS90C031

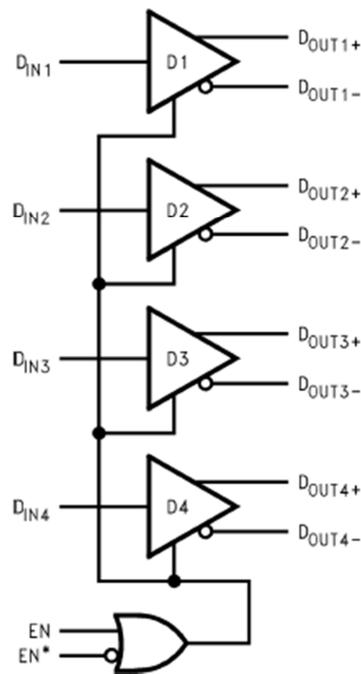


Figura 99 - Schema funzionale dell'IC DS90C031

Enables		Input	Outputs	
EN	EN*		D <sub>IN</sub>	D <sub>OUT+</sub>
L	H	X	Z	Z
All other combinations of ENABLE inputs		L	L	H
		H	H	L

Figura 100 - Tabella di verità dell'IC DS90C031

Da come è possibile osservare dalla tabella di verità, per la funzione da implementare nel nostro progetto, tutti i trasmettitori differenziali dovranno avere il segnale di abilitazione al livello logico alto e il segnale di abilitazione negato, al livello logico basso, in quanto non è richiesta la funzione di alta impedenza delle uscite.

Un accorgimento importante che è stato adottato è il seguente, ovvero il segnale di clock di riferimento a 50 MHz proveniente dall'RDA e che è collegato alla scheda mediante un connettore SMA, viene terminato su una resistenza di 50Ω, per consentire l'adattamento del carico al segnale, con una capacità C<sub>11</sub> del valore di 1 nF, in quanto funge da capacità di disaccoppiamento per la componente continua del segnale. Si arriva a questo punto al nodo A in Figura 101, nel quale ci sarà una tensione data dalla regola del partitore di tensione tra i resistori R<sub>10</sub> e R<sub>11</sub>.

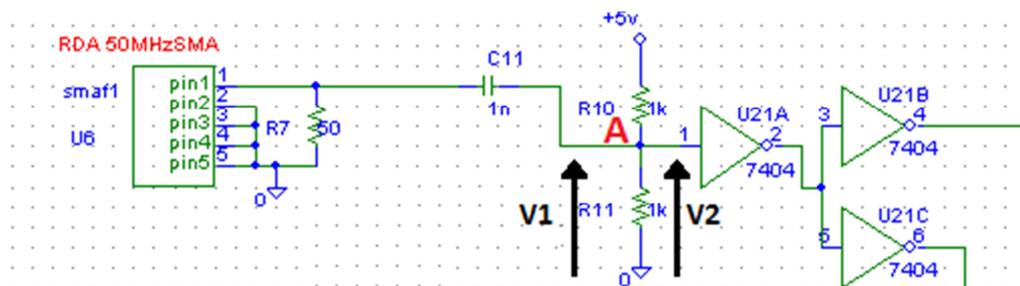


Figura 101 - DC Block e ripristino del valore logico

La tensione al nodo A sarà quindi pari a:

$$V_2 = V_1 * \frac{R_{11}}{R_{11} + R_{10}};$$

Essendo però R<sub>10</sub>= R<sub>11</sub>, si avrà:

$$V_2 = \frac{V_1}{2};$$

in questo modo è possibile associare il giusto valore logico alto o basso con un certo segnale d'ingresso.

La tensione  $V_2$  viene poi collegata a dei buffer per il ripristino del livello logico necessario e successivamente ad un trasmettitore LVDS DS90C031, in modo da rendere disponibile i segnali LVDS a 50 MHz sul connettore DB9f dell'UDcs.

Altre due porte NOT sono poi connesse in cascata per avere una funzione non invertente e eventualmente ripristinare il livello logico del segnale PRI\_TRG sul relativo connettore SMA, proveniente originariamente dall'RDA DB15, immediatamente dopo la conversione da LVDS a TTL (Figura 102).

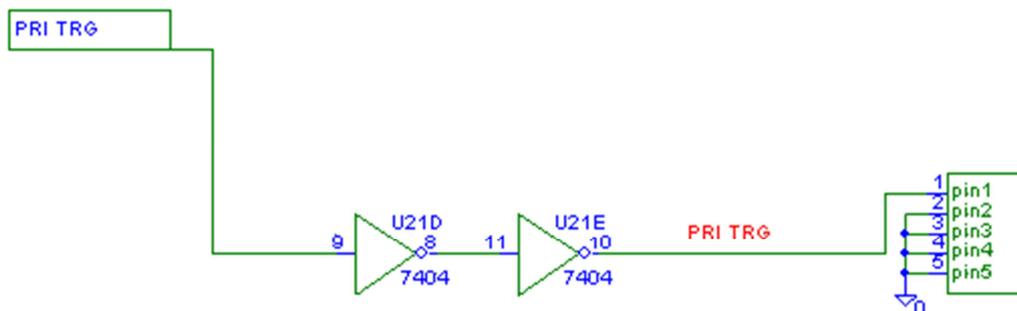


Figura 102 - PRI\_TRG in TTL

I buffer sono relativi all'integrato DM 7404, al cui interno sono contenute sei porte NOT indipendenti. Siccome il nostro progetto ne usa cinque delle sei disponibili, l'ultima porta dell'integrato viene collegata con l'ingresso a massa per evitare disturbi indesiderati ed escluderla dal resto del circuito.

Quindi con un solo integrato DM 7404 riusciamo a soddisfare le specifiche di progetto.

Per realizzare invece il segnale a 10 MHz necessario alla sincronizzazione con la strumentazione standard di misura, partendo dal segnale di clock dell'RDA a 50 MHz, mediante il divisore di frequenza 74HC390 implementiamo un modulo 5 di conversione, che ci permette di ottenere il clock a 10 MHz per la SIS. La scelta è ricaduta su questo circuito integrato in quanto dal datasheet si è visto che supporta una frequenza operativa massima di 66 MHz.

L'integrato 74HC390 è un contatore modulo 10 ad alta velocità in tecnologia Si-gate CMOS con i livelli logici compatibili con la TTL. Questo integrato è costituito in realtà da due contatori modulo 10 a 4 bit con quattro sezioni separate di clock. Queste sezioni di clock sono quelle usate per realizzare un conteggio modulo 10 o modulo 5. Sono inoltre presenti degli ingressi di Master Reset "nMR", che se usati simultaneamente, cancellano tutti gli 8 bit del contatore. I clock separati "nCP" di ogni sezione invece permettono di realizzare divisori di frequenza modulo 2, 4, 5, 10, 20, 25, 50, 100.

Riportiamo di seguito, la configurazione dei pin e lo schema logico dell'integrato 74HC390 rispettivamente in Figura 103 e 104.

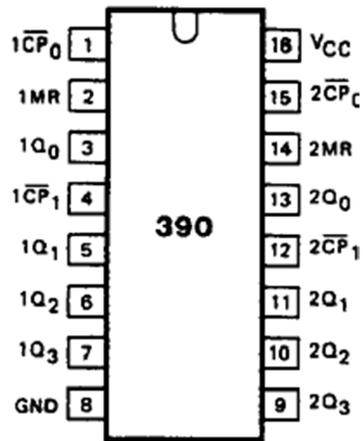


Figura 103 - Piedinatura dell'IC 74HC390

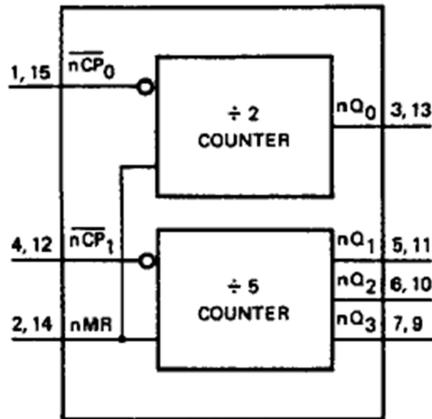


Figura 104 - Schema logico dell'IC 74HC390

La tabella di verità del dispositivo è invece riportata in Figura 105.

**BCD COUNT SEQUENCE  
FOR 1/2 THE "390"**

COUNT	OUTPUTS			
	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

**Notes**

1. Output Q<sub>0</sub> connected to  $\overline{nCP_1}$  with counter input on  $\overline{nCP_0}$ .  
H = HIGH voltage level  
L = LOW voltage level

**BI-QUINARY COUNT SEQUENCE  
FOR 1/2 THE "390"**

COUNT	OUTPUTS			
	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0	L	L	L	L
1	L	H	L	L
2	L	L	H	L
3	L	H	H	L
4	L	L	L	H
5	H	L	L	L
6	H	H	L	L
7	H	L	H	L
8	H	H	H	L
9	H	L	L	H

**Note**

1. Output Q<sub>3</sub> connected to  $\overline{nCP_0}$  with counter input on  $\overline{nCP_1}$ .

**Figura 105 - Tabella di verità dell'IC 74HC390**

Dei due contatori modulo 10, costituiti da un modulo 2 e un modulo 5 noi useremo solo uno, del quale poi verrà sfruttata solo la sezione relativa al modulo 5.

In base alla tabella di verità realizzativa del modulo 5, nel nostro progetto connettiamo il pin 4 che è il clock del primo contatore modulo 5, al clock a 50 MHz proveniente dall'RDA e prendiamo il segnale scalato in frequenza e cioè a 10 MHz sul pin 7 che rappresenta l'uscita più significativa del suddetto contatore.

Siccome il modulo 2 non è usato, viene inoltre collegato il pin 7 al pin 1, che rappresenta appunto il clock del primo contatore modulo 2, così come indicato dal datasheet.

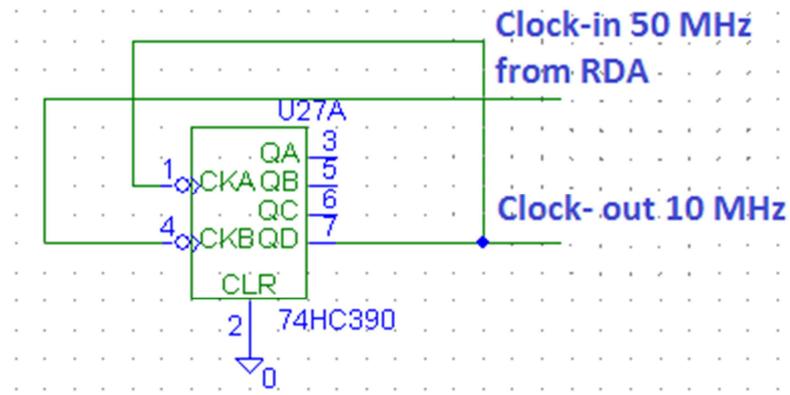


Figura 106 - Connessione dell'74HC390

Nasce però un problema, in quanto, la divisione per cinque fa sì che il duty cycle del segnale a 10 MHz sia diverso dal 50%.

La simulazione Spice ci dà infatti il risultato mostrato in Figura 107.

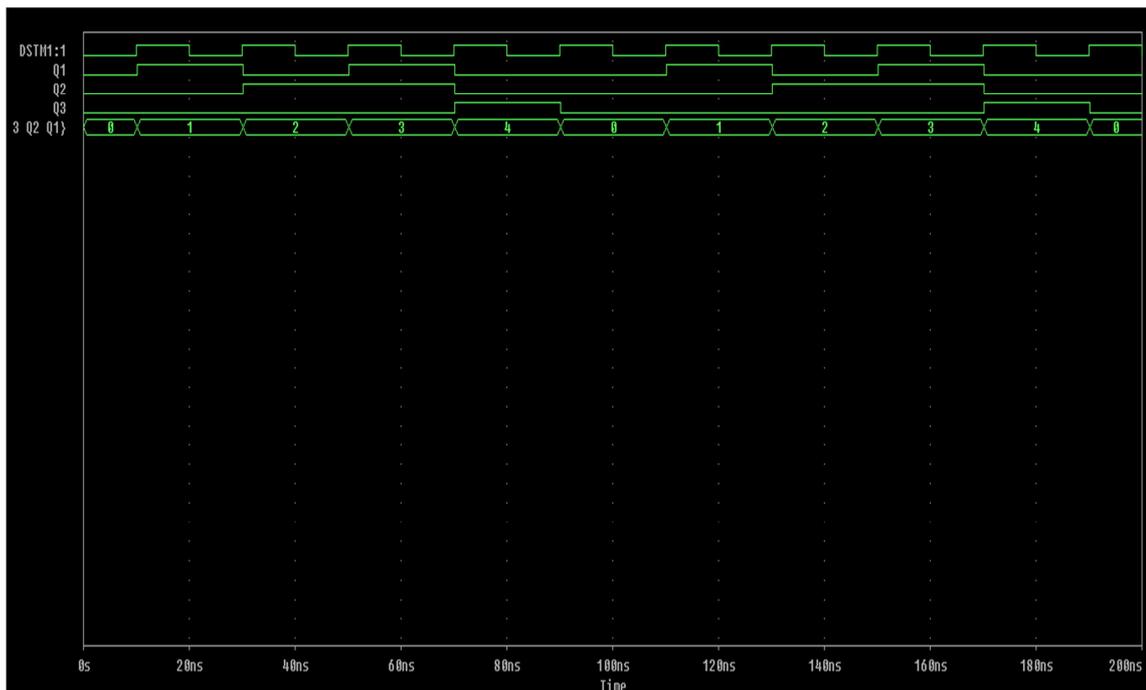


Figura 107 - Diagramma temporale del contatore modulo 5 con 74HC390

Facendo uno zoom sul segnale a 10 MHz si nota un duty cycle pari al 20% (Figura 108).

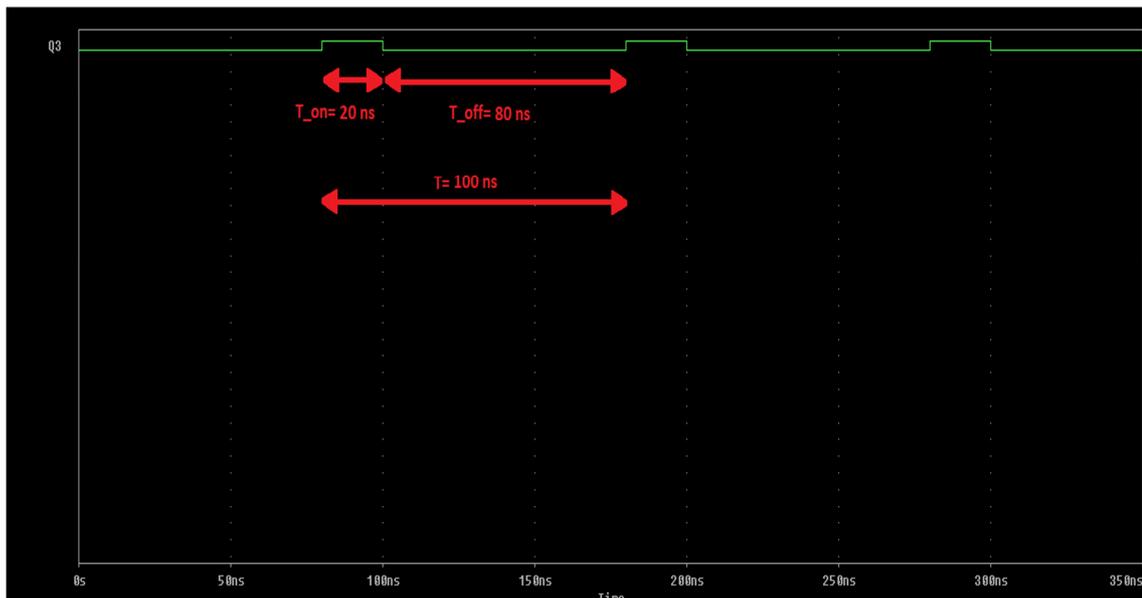


Figura 108 - Duty Cycle del contatore modulo 5 dell'IC 74HC390

Per ottenere quindi un duty cycle del 50% bisogna usare un multivibratore monostabile.

Il multivibratore monostabile è un circuito retro-azionato positivamente, che presenta una tensione di uscita  $V_{\text{out}}$  stabile (stato stabile) che può essere modificata solo a seguito di un impulso esterno di comando che la porta in uno stato quasi stabile. Dopo un intervallo di tempo, che dipende dai parametri del circuito, la tensione di uscita  $V_{\text{out}}$  ritorna nella condizione iniziale stabile e vi rimane fino a che non compare un altro impulso di comando. La tensione di uscita è un impulso di forma rettangolare, di ampiezza e durata dipendente dalle caratteristiche del circuito, in corrispondenza di un impulso di comando ricevuto in ingresso. Ad esempio se consideriamo un monostabile per il quale la condizione stabile corrisponde al livello basso, avremo un comportamento come quello descritto nella Figura 109, in cui l'uscita si trova normalmente al livello basso finché in ingresso non si presenta un impulso di breve durata, il quale determina il passaggio dell'uscita dal livello basso a quello alto per un

tempo  $T^*$  determinato dalle caratteristiche interne del monostabile e indipendente dalla durata  $\tau$  dell'impulso d'ingresso, purché questo sia minore di  $T^*$  e maggiore di un valore minimo necessario per causare la commutazione.

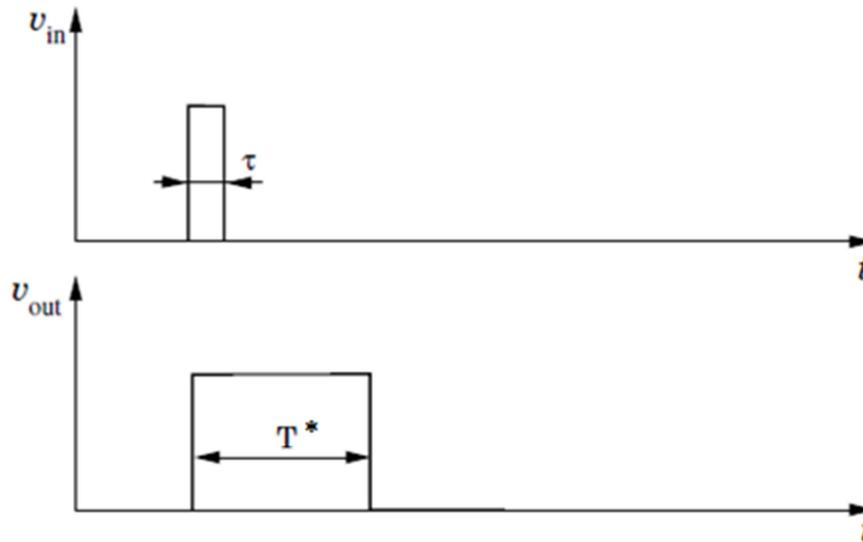


Figura 109 - Principio di funzionamento del monostabile

In questo progetto è stato usato il monostabile integrato 74HC221 non retriggerabile con reset. Tale integrato presenta al proprio interno due multivibratori monostabili, di cui ognuno ha un ingresso attivo sul fronte basso " $n\bar{A}$ " e un ingresso attivo sul fronte alto " $nB$ ", ciascun del quale può essere utilizzato come ingresso di enable. L'impulso di trigger si verifica ad un determinato livello di tensione e non è direttamente collegato alla transizione temporale dell'impulso d'ingresso. La presenza di un circuito con Trigger Schmitt per ingressi " $nB$ ", permette una elevata immunità al rumore. Dopo l'innesco, le uscite " $nQ$ " e " $n\bar{Q}$ " sono indipendenti dalle transizioni future degli ingressi " $n\bar{A}$ " e " $nB$ " e dipendono dal timing dovuto alla resistenza esterna  $R_{ex}$  e alla capacità esterna  $C_{ex}$ . Le uscite possono essere resettate mediante l'ingresso di reset " $n\bar{RD}$ " attivo sul fronte basso. L'impulso d'uscita generato è stabile in quanto il dispositivo presenta

un'opportuna circuiteria di compensazione che lo rendono pressoché indipendente dalle variazioni di alimentazione e dalla temperatura.

La durata dell'impulso d'uscita è fissata dalle seguenti relazioni:

$$T^* = C_{ex} * R_{ex} * \ln 2 \cong 0,7 * C_{ex} * R_{ex};$$

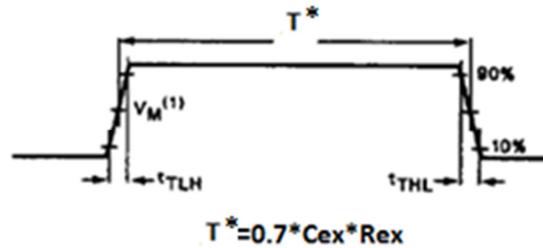


Figura 110 - Settaggio della durata dell'impulso

Riportiamo di seguito, nelle Figure 111, 112 e 113, la piedinatura dell'integrato, lo schema funzionale e la tabella di verità.

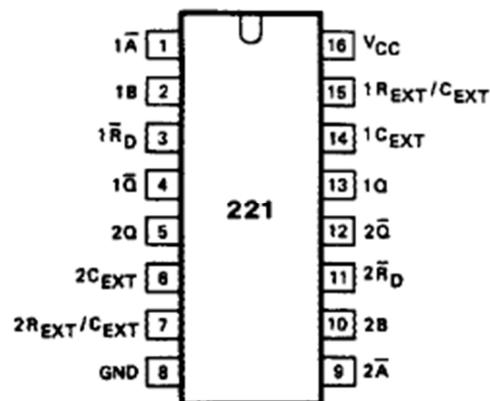


Figura 111 - Piedinatura dell'IC 74HC221

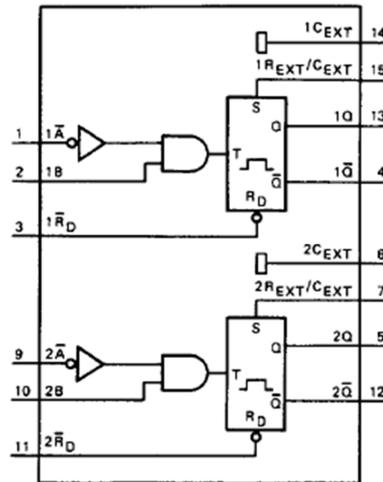


Figura 112 - Schema logico dell'IC 74HC221

INPUTS			OUTPUTS	
$n\bar{R}_D$	$n\bar{A}$	$nB$	$nQ$	$n\bar{Q}$
L	X	X	L	H
X	H	X	L (2)	H (2)
X	X	L	L (2)	H (2)
H	L	↑		
H	↓	H		
↑	L	H	(3)	(3)

**Notes**

- H = HIGH voltage level  
L = LOW voltage level  
X = don't care  
↑ = LOW-to-HIGH level  
↓ = HIGH-to-LOW level  
 = one HIGH-level output pulse  
 = one LOW-level output pulse
- If the monostable was triggered before this condition was established the pulse will continue as programmed.
- For this combination the reset input must be LOW and the following sequence must be used:  
pin 1 (or 9) must be set HIGH or pin 2 (or 10) set LOW;  
then pin 1 (or 9) must be LOW and pin 2 (or 10) set HIGH. Now the reset input goes from LOW-to-HIGH

Figura 113 - Tabella di verità dell'IC 74HC221

Da come riportato in tabella di verità per il corretto funzionamento del dispositivo poniamo il pin 3 al livello logico alto, poiché rappresenta il

segnale di reset che è attivo a livello logico basso; l'ingresso è rappresentato dall'uscita del contatore modulo 5, mentre l'uscita viene presa dal pin 13.

Ai pin 14 e 15 è invece connessa la resistenza esterna e la capacità esterna che ci permetteranno di modificare il tempo  $T_{on}$  relativo allo stato alto del segnale a 10 MHz (Figura 114).

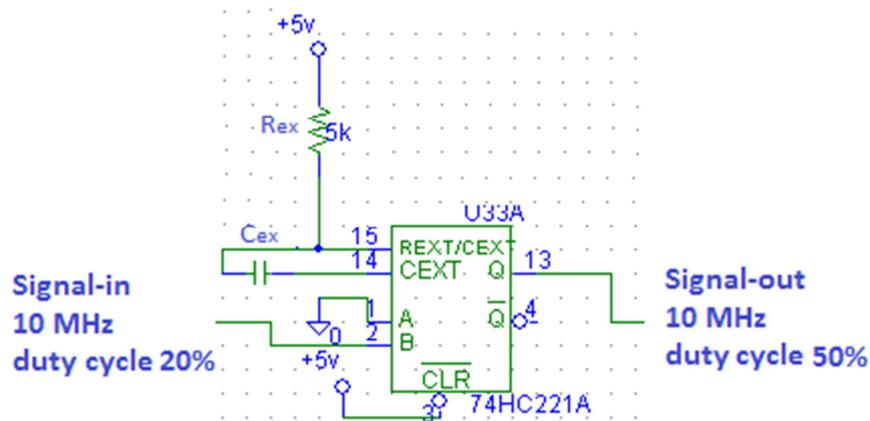


Figura 114 - Connessione dell'74HC221

Per ottenere un duty cycle del 50%, al quale corrisponde un  $T_{on}=50$  ns, bisogna, dalla relazione presente sul datasheet, relativa alla durata dell'impulso, fissare ad esempio un valore di resistenza e calcolare la capacità, per cui:

$$T^* = T_{on} = 0.7 * C_{ex} * R_{ex};$$

essendo  $T_{on}=50$  ns, e ponendo una  $R_{ex}=3.3K\Omega$ , si ottiene:

$$C_{ex} = \frac{T}{0.7 * R_{ex}} = 21.64 \text{ pF};$$

La simulazione del circuito costituito dal contatore e dal monostabile ci da il risultato riportato nella Figura 115.

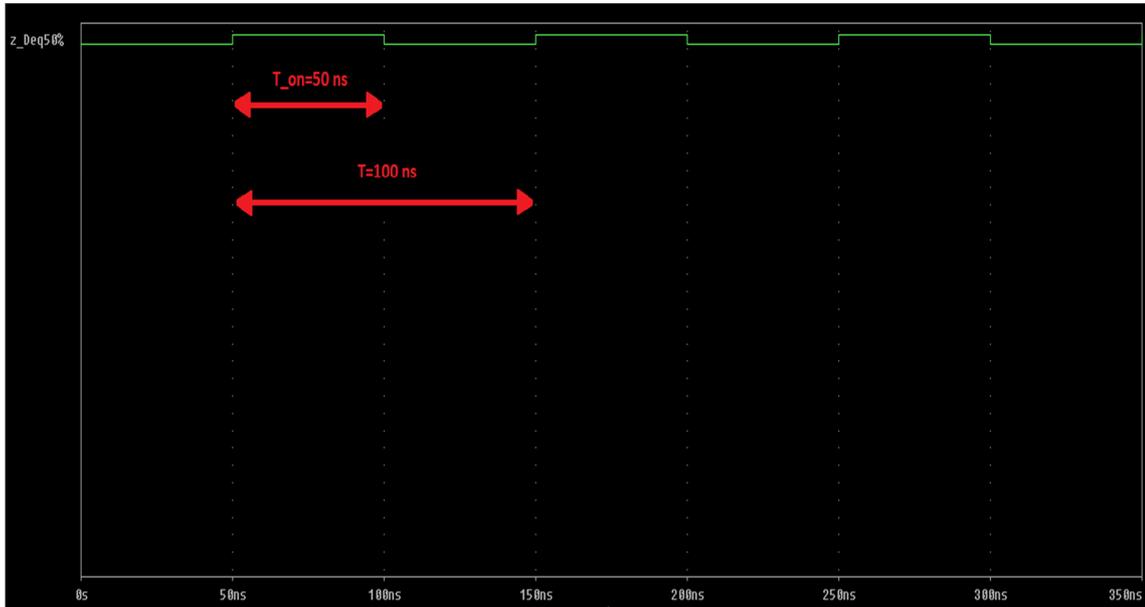


Figura 115 - Andamento temporale del segnale a 10 MHz con duty cycle del 50%

In realtà questo è solo un valore teorico in quanto le capacità parassite associate alle piste e ai stessi dispositivi influenzeranno questo valore di capacità e di conseguenza il duty cycle del segnale a 10 MHz, per cui per una migliore accuratezza si è deciso di montare la capacità variabile  $C_{21}$ .

La capacità effettiva che ci da un duty cycle del 50% è stata misurata mediante lo smartTweezers, che è un dispositivo di misura di impedenza portatile riportato in Figura 116.

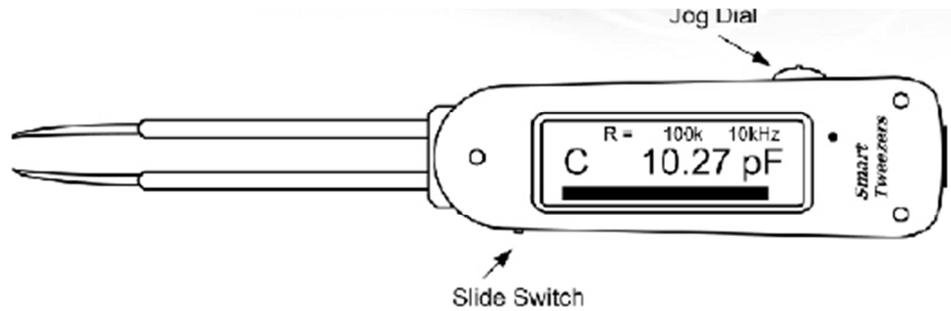


Figura 116 - SmartTweezers

Tale dispositivo è in grado di effettuare misure con un'accuratezza dell'1% ed è capace di operare a quattro Test Frequency.

Lo SmartTweezers è controllato da un microcontrollore che setta le varie condizioni di misura; esso misura l'impedenza di un componente mediante la misura della tensione ai suoi capi e della corrente che lo attraversa mostrando sul display i valori di resistenza, capacità ed induttanza.

Lo schema di funzionamento del misuratore di impedenza è mostrato nella Figura 117.

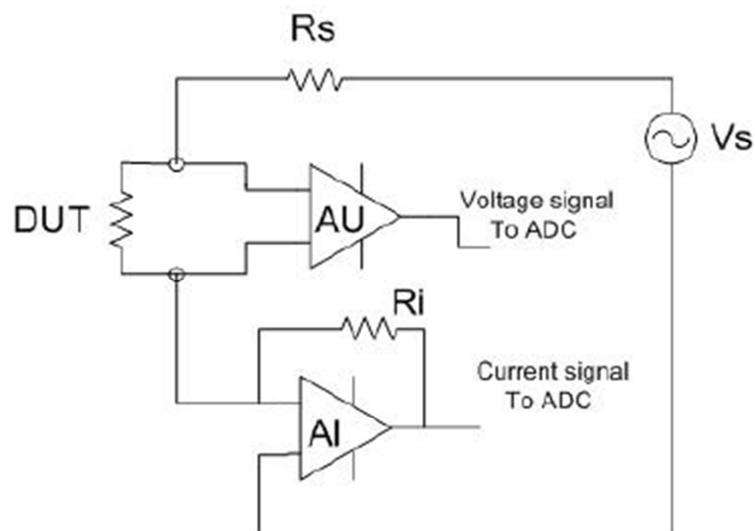


Figura 117 - Schema dello SmartTweezers

Viene dunque applicata mediante la resistenza  $R_s$  una tensione ai capi del dispositivo sotto test (DUT), la tensione e la frequenza di  $V_s$  possono essere settate. I dati relativi alla tensione ai capi del dispositivo mediante l'amplificatore AU, e della corrente che lo attraversa mediante l'amplificatore AI, vengono poi processati da un A/D Converter che fornisce i valori di resistenza, capacità e induttanza.

Lo SmartTweezers misura una capacità pari a 12.3 pF per avere un duty cycle del 50%.

Il segnale di clock a 10 MHz viene poi filtrato mediante la capacità  $C_{10}$  di blocco della continua di valore pari a 1 nF, ed inviato al rispettivo connettore SMA come previsto dalle specifiche progettuali dell'SRDU.

Sulla scheda dell'SRDU è stato inoltre inserito l'oscillatore al quarzo AEL 1200 a 50 MHz, in grado di generare una frequenza massima di 100 MHz, il cui collegamento è mostrato in Figura 118.

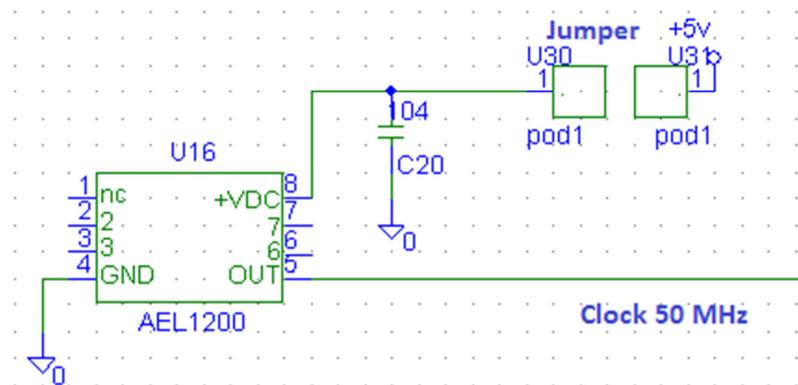


Figura 118 - Oscillatore AEL 1200

Questo oscillatore ha il compito di simulare localmente il clock proveniente dall'RDA e sarà usato durante la fase di test del modulo SRDU.

Durante la connessione con l'RDA, l'oscillatore verrà disabilitato andando a disconnetterlo dall'alimentazione mediante il relativo jumper.

L'alimentazione di tutti i circuiti integrati presenti sull'SRDU avviene mediante il collegamento allo stabilizzatore di tensione LM 7805 (Figura 119).

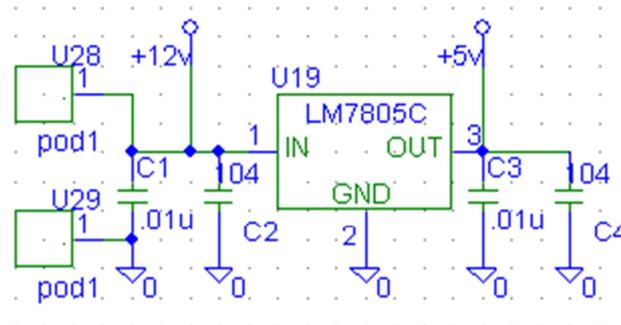


Figura 119 - Stabilizzatore di tensione LM7805

Tale dispositivo viene alimentato con una tensione di 12 V sul pin1 rispetto la massa connessa al pin 2 e produce in uscita al pin3 la tensione di 5 V stabilizzata con una massima corrente di 1A.

Le capacità C1 e C2, rispettivamente del valore di 0.01 uF e 10 uF in ingresso e le capacità C3 e C4 anch'esse rispettivamente pari a 0.01 uF e 10 uF d'uscita, svolgono la funzione di filtraggio sull'alimentazione.

### 6.3 Progetto dei filtri sul segnale a 10MHz e 50 MHz

Per avere eventualmente disponibile un segnale di clock sinusoidale a 10 MHz, è stato previsto l'inserimento di un semplice filtro R-C passa basso del primo ordine come riportato in Figura 120.

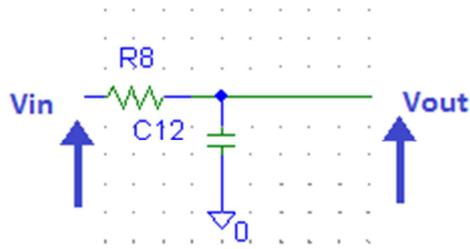


Figura 120 - Filtro RC passa basso del 1° ordine sul segnale a 10 MHz

I valori da assegnare al resistore  $R_8$  e  $C_{12}$  sono ottenuti analizzando la funzione di trasferimento  $V_{out}/V_{in}$  del filtro e imponendo una frequenza di taglio pari a 10 MHz.

Essendo:

$$V_{out} = V_{in} * \frac{Z_{C12}}{Z_{C12} + R_8};$$

dove:

$$Z_{C12} = \frac{1}{J\omega C_{12}};$$

si ha che :

$$\frac{V_{out}}{V_{in}} = \frac{\frac{1}{J\omega C_{12}}}{\frac{1}{J\omega C_{12}} + R_8} = \frac{1}{1 + s * R_8 * C_{12}};$$

dove è stato posto:

$$s = J\omega;$$

il polo si trova in:

$$s = -\frac{1}{\tau};$$

dove:

$$\tau = R_8 * C_{12};$$

la pulsazione di taglio è pari a:

$$\omega_t = \frac{1}{|\tau|} = \frac{1}{R_8 * C_{12}};$$

$$\omega_t = 2\pi * f_t;$$

dove:

$$f_t = 10 \text{ MHz};$$

ponendo:

$$R_8 = 50 \Omega;$$

in modo da realizzare un adattamento al carico che si andrà ad inserire che sarà anch'esso di  $50\Omega$ , quindi si ricava che:

$$C_{12} = \frac{1}{\omega_t * R_8} = 0.32 \text{ nF}.$$

Riportiamo in Figura 120 il diagramma di Bode del modulo e della fase, del filtro precedentemente calcolato.

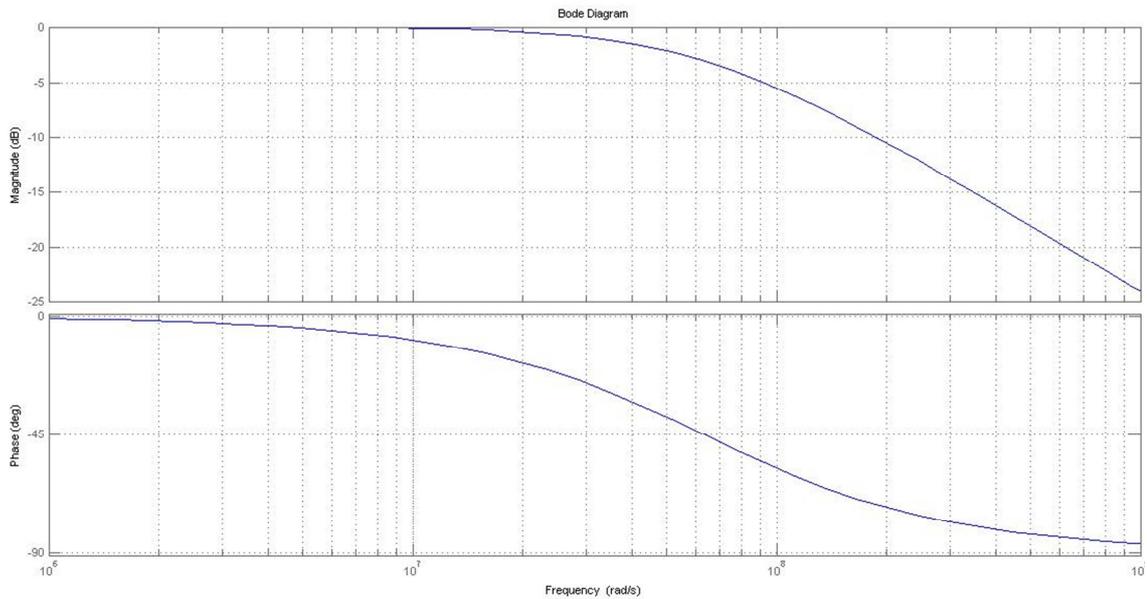


Figura 120 - Diagramma di Bode del Filtro RC passa basso del 1°Ordine sul segnale a 10 MHz

Analogamente il progetto del filtro in uscita all'oscillatore AEL 1200 segue gli stessi ragionamenti, ricordando che questa volta il segnale è a frequenza di 50 MHz per cui si ha:

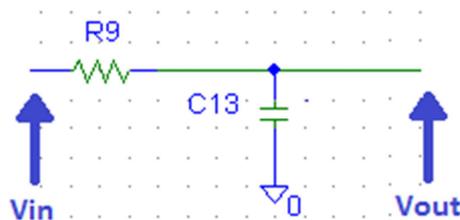


Figura 121- Filtro RC passa basso del 1° ordine sul segnale a 50 MHz

$$V_{out} = V_{in} * \frac{Z_{C13}}{Z_{C13} + R_9} = \frac{1}{1 + s * R_9 * C_{13}};$$

Dove sono stati posti:

$$Z_{C13} = \frac{1}{j\omega C_{13}};$$

ed  $s = J\omega$ ;

il polo si trova in:

$$s = -\frac{1}{\tau};$$

dove :

$$\tau = R_9 * C_{13};$$

la pulsazione di taglio è:

$$\omega_t = \frac{1}{|\tau|} = \frac{1}{R_9 * C_{13}};$$

$$\omega_t = 2\pi * f_t;$$

dove:

$$f_t = 50 \text{ MHz};$$

ponendo anche qui:

$$R_9 = 50\Omega;$$

in modo da realizzare un adattamento al carico che si andrà ad inserire che sarà anch'esso di  $50\Omega$ , quindi si ricava che:

$$C_{13} = \frac{1}{\omega_t * R_9} = 0.64 \text{ pF}.$$

Infine riportiamo in Figura 122 il diagramma di Bode del modulo e della fase, del filtro sul segnale a 50MHz, precedentemente calcolato.

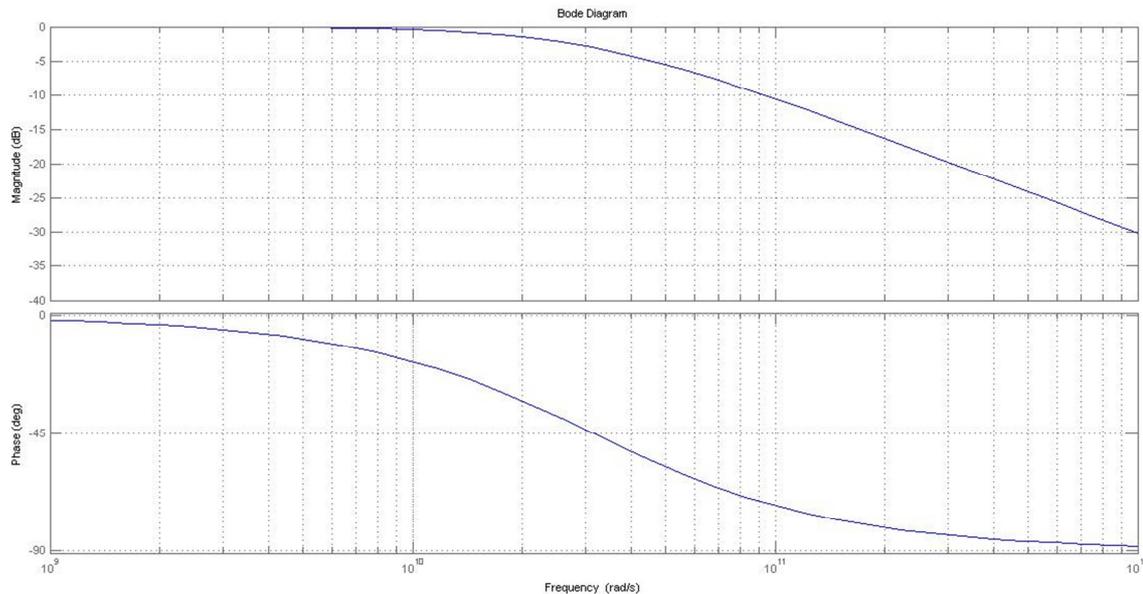


Figura 122 - Diagramma di Bode del Filtro RC passa basso del 1°Ordine sul segnale a 50 MHz

## 6.4 Fase di Place e Routing

Una volta creata la net-list dello *Schematic* e dopo aver controllato che non vengono segnalati a video messaggi di errore da *MicroSim Message Viewer*, è possibile aprire MICROSIM PCBoard nel quale verranno piazzati opportunamente i vari componenti per ottimizzare il più possibile la successiva fase ovvero quella dello sbroglio, nel quale verrà definito il routing delle piste che collegano tra loro i pin dei dispositivi che compongono la scheda.

Un buon posizionamento dei componenti infatti, fa sì che i collegamenti elettrici risultano più brevi e quindi meno critici. Una scheda molto complessa mal posizionata richiede quasi sempre qualche layer in più per lo sbroglio e può causare criticità nel funzionamento. Durante la fase di Route, bisogna tener conto delle correnti che attraversano i vari circuiti e delle tensioni in gioco ed eventualmente ingrossare le piste per poter sopportare tali correnti, o distanziarle tra loro in modo che sia garantito un

determinato isolamento. Bisogna inoltre ottimizzare i percorsi evitando il più possibile sovrapposizioni tra le piste e utilizzando il minimo ingombro. Una soluzione utilizzata sovente, quando vi sono parecchi incroci tra le piste, è quella di effettuare uno sbroglio a doppia faccia e cioè dimensionare i collegamenti secondo una direttrice cartesiana: da un lato le piste saranno tutte in una direzione (longitudinale) e, mediante un foro passante metallizzato, dall' altro lato si potrà continuare la pista nella direzione opposta (trasversalmente alla basetta). Con questo sistema si evitano del tutto gli incroci tra piste conduttrici, mantenendo un determinato ordine nella disposizione. Bisogna prestare attenzione poi alle piste differenziali, che devono essere tracciate in modo tale che siano sempre parallele tra loro con stessa lunghezza ed a una distanza sempre costante, evitando angoli retti (come per le altre piste), con i condensatori di filtro tenuti quanto più vicino possibile ai rispettivi pin del relativo integrato.

Lo stampato sbrogliato a doppia faccia dell'SRDU è riportato in Figura 123.

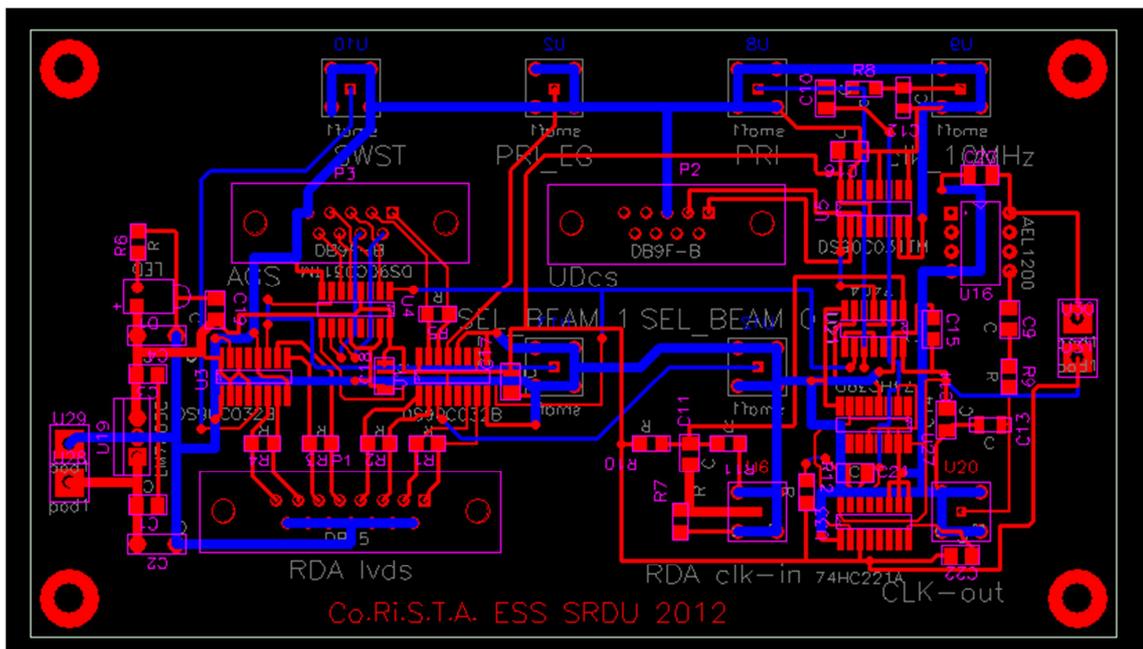


Figura 123 - PCB dell'SRDU

Le piste rosse e quelle blu sono su facce diverse, rispettivamente Top Layer e Bottom Layer, e collegate tra loro in alcuni punti mediante dei fori passanti metallizzati.

Una volta realizzata la scheda si esegue poi il montaggio dei componenti mediante la saldatura.

L'SRDU realizzata ha le dimensioni di 14x8 cm, ed è mostrata in Figura 124.

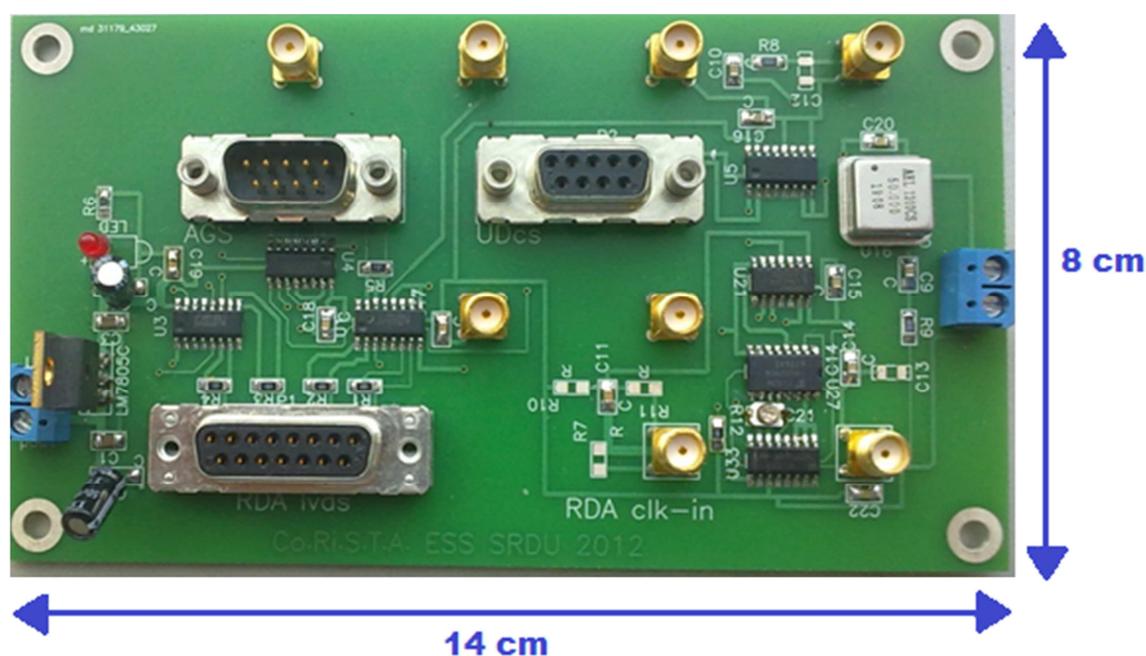


Figura 124 - Scheda finale dell'SRDU

## 6.5 Fase di Test

La fase di test consiste nel verificare il corretto funzionamento della scheda prima dell'inserimento nel sistema ESS che farà parte del EGSE dell'RDA; bisognerà verificare quindi la presenza dei corretti segnali differenziali e TTL per l'interfacciamento dell'SRDU verso gli altri moduli del sistema di

Test. Riporteremo pertanto in questo paragrafo la verifica effettuata su alcuni segnali del modulo SRDU.

Gli strumenti necessari per effettuare le prove di funzionamento sono:

- un alimentatore stabilizzato  
DC POWER SUPPLY web1709sb 3 A, riportato in Figura 125.



Figura 125 - DC POWER SUPPLY web1709sb 3A

- un oscilloscopio digitale  
Tektronix TPS2024 a 4 canali 200MHz 2GS/s, riportato in Figura 126.



**Figura 126 - Tektronix TPS2024 a 4 canali 200MHz 2GS/s**

Alimentiamo quindi la scheda a 8V e verificiamo la corretta alimentazione pari a 5V su ogni integrato. Successivamente andiamo a testare il funzionamento dell'oscillatore locale AEL1200, quindi accertando di aver connesso il jumper di alimentazione dell'oscillatore locale, connettiamo un cavo BNC dell'oscilloscopio digitale al connettore SMA relativo al clock out dell'oscillatore, verificando così la presenza del segnale a 50 MHz.

Durante tale misura tenendo presente che l'impedenza d'ingresso dell'oscilloscopio digitale è di  $1M\Omega$  è stata inserita un'opportuna terminazione a  $50\Omega$  in modo da mettersi in condizioni di adattamento.

Il segnale visualizzato sull'oscilloscopio digitale è mostrato nella figura 127.

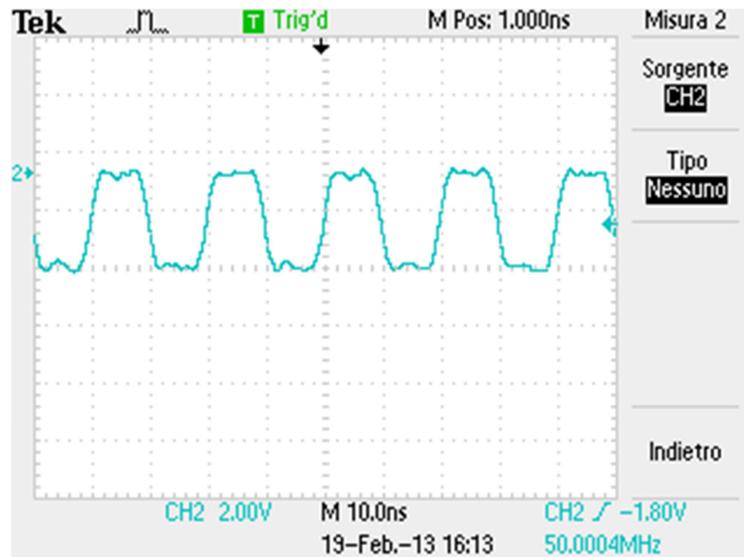


Figura 127 - Segnale a 50 MHz dell'AEL 1200

Le misurazioni ci confermano un segnale che ha le seguenti caratteristiche:

- Frequenza a 50 MHz;
- Periodo di 20 ns;
- Valore picco-picco di 3.64 V;
- Valore RMS di 2.20 V.

Successivamente collegando mediante un cavo coassiale i connettori SMA relativi al Clock-in 50 MHz RDA e Clock out è possibile misurare il segnale a 10 MHz dal rispettivo connettore SMA presente sulla scheda.

Il segnale visualizzato dal DSO è riportato in Figura 128.

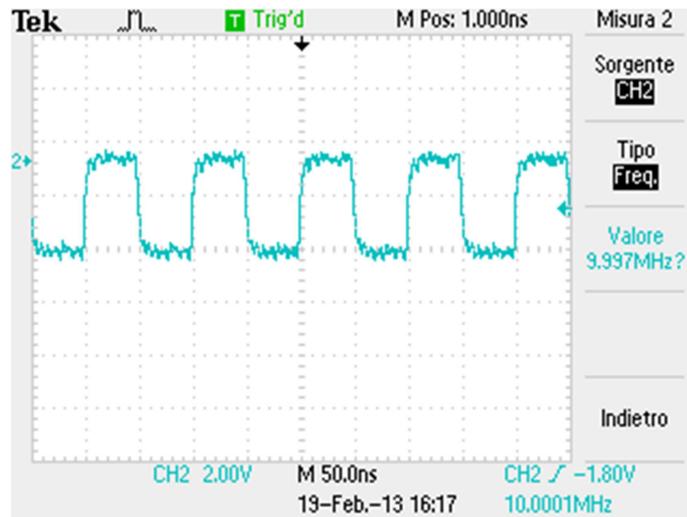


Figura 128 - Clock a 10 MHz e Duty Cycle del 50 %

Le caratteristiche del segnale misurato, sono le seguenti:

- Frequenza 10 MHz;
- Periodo 100ns;
- Valore picco-picco 4.16 V;
- Valore RMS 2.34 V.

A questo punto è possibile misurare ad esempio i segnali LVDS a 50 MHz presente ai pin 1 e 2 del connettore DB9 femmina di interfaccia verso l'UDCS. I segnali rappresentati in Figura 129 e Figura 130 rappresentano rispettivamente il segnale a 50MHz+ del pin 1 del DB9 femmina UDcs e 50MHz- del pin 2 del DB9 femmina UDcs

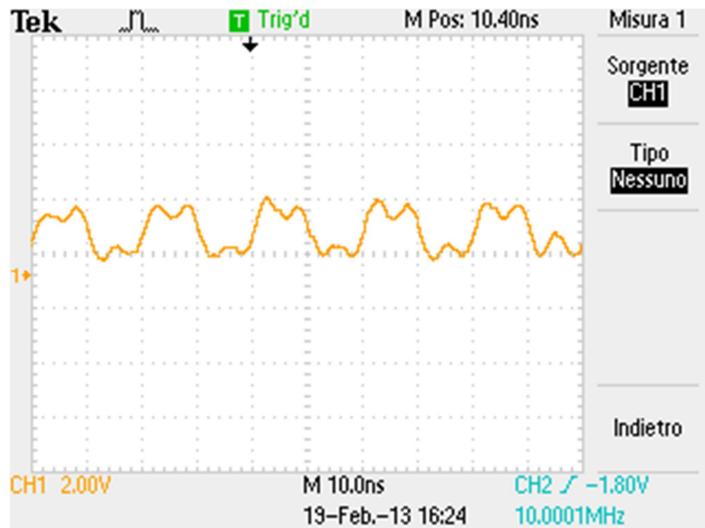


Figura 129 - Segnale LVDS a 50 MHz+ del pin1 del DB9f UDcs

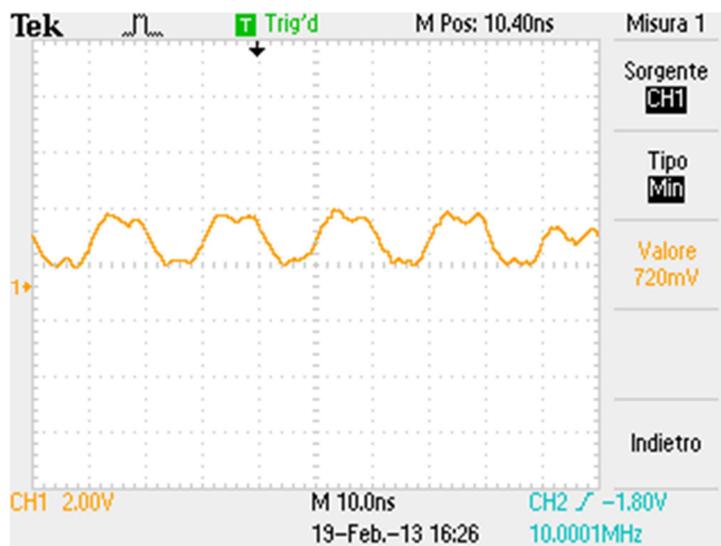


Figura 130 - Segnale LVDS a 50 MHz- del pin2 del DB9f UDcs

Sono da come si vede dei segnali in opposizione di fase in quanto differenziali con le seguenti caratteristiche:

- Frequenza 50 MHz;
- Periodo 20 ns;

- Valore picco-picco 2.24 V;
- Valore RMS 1.70 V.

Verifichiamo a questo punto il segnale PRI\_TRG sia TTL che LVDS;

Connettiamo a questo punto il pin 1 del DB9 femmina UDcs con il pin 1 del DB15 femmina RDA e il pin 2 del DB9 femmina UDcs con il pin 2 del DB15 femmina RDA, in modo tale che il segnale a 50 MHz dell'oscillatore locale convertito inizialmente in differenziale e disponibile sui pin 1 e 2 del DB9 femmina dell'UDCS mediante una conversione da LVDS a TTL sia nuovamente disponibile sul relativo connettore SMA in logica TTL.

Il segnale TTL misurato sul connettore SMA PRI\_TRG è riportato nella figura sottostante.

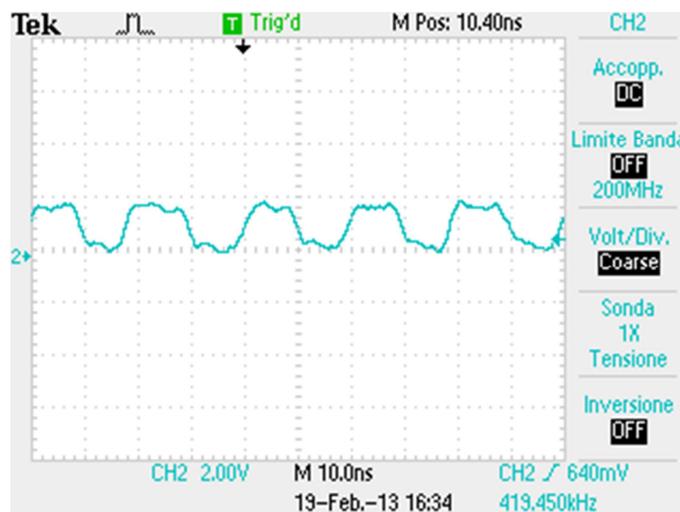


Figura 131 - Segnale PRI-TRG in TTL

Le caratteristiche di questo segnale lette dal DSO sono le seguenti:

- Frequenza 50 MHz;

- Periodo 20 ns;
- Valore picco-picco 2V;
- Valore RMS 1.42 V;

Mantenendo connesso il pin1 e pin2 del DB9f dell'UDcs con il pin1 e pin2 del DB15f dell'RDA è possibile prelevare questa volta il segnale PRI-TRG LVDS ai pin 3 e 4 del connettore DB9 maschio dell'AGS, quindi i segnali visualizzati sono mostrati rispettivamente nelle Figure 132 e 133.

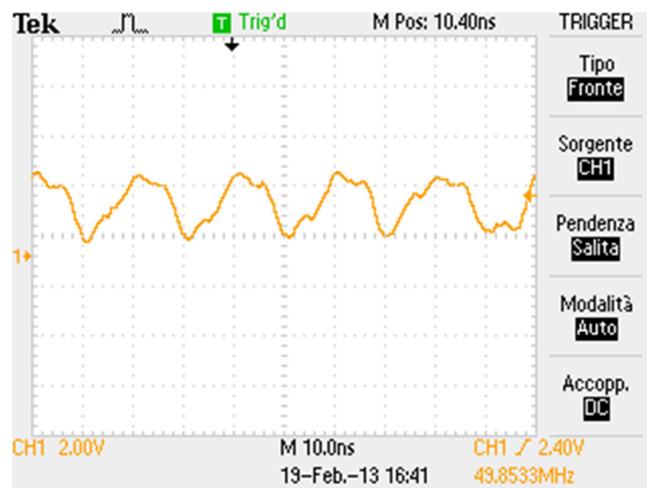


Figura 132 - Segnale LVDS PRI\_TRG+ a 50 MHz del pin3 del DB9m AGS

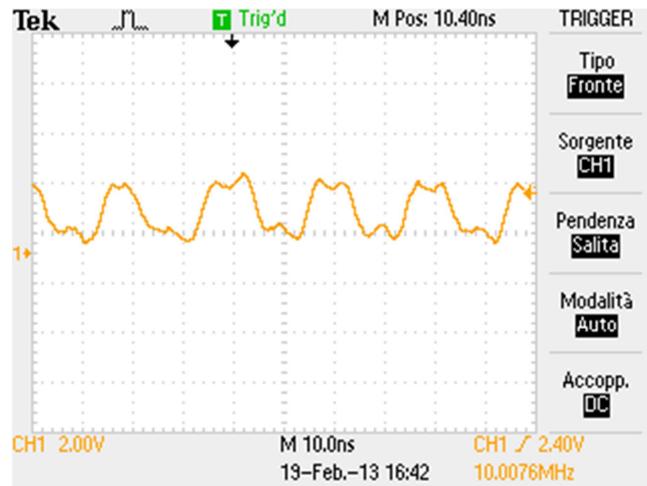


Figura 133 - Segnale LVDS PRI\_TRG- a 50 MHz del pin4 del DB9m AGS

Le cui caratteristiche misurate mediante il DSO sono:

- Frequenza 50 MHz;
- Periodo 20 ns;
- Valore picco-picco 2.40V;
- Valore RMS 2.28 V.

Infine, con procedimenti del tutto analoghi, sono stati visualizzati e misurati tutti i restanti segnali, osservando il corretto funzionamento del modulo SRDU come previsto dalle specifiche di progetto.

## Conclusioni

Il lavoro di tesi svolto presso il Co.Ri.S.T.A. ha avuto come obiettivo quello di progettare, realizzare e testare un'unità di distribuzione per la generazione di segnali di riferimento per il sistema di test del radar di avvicinamento per la Missione Spaziale ExoMars.

Il lavoro di tesi è stato quindi strutturato in due tre fasi:

- nella prima fase sono stati esaminati i documenti che contenevano i requisiti globali del sistema di test del radar, con attenzione alla struttura dell'Echo Simulator System ed in particolare dell'SRDU, forniti da Thales Alenia Space Italia e dal Co.Ri.S.T.A., che rispondevano ai vincoli definiti dall'Agenzia Spaziale Europea;
- nella seconda fase mediante il tool di sviluppo Microsim 8.0 si è realizzato lo schema circuitale ed il PCBoard del modulo SRDU;
- nella terza ed ultima fase sono stati effettuati i test del modulo SRDU, a verificare il corretto funzionamento della scheda prima del collegamento alle altre apparecchiature che costituiranno l'Echo Simulator System.

# Bibliografia

[http://it.wikipedia.org/wiki/Esplorazione\\_di\\_Marte](http://it.wikipedia.org/wiki/Esplorazione_di_Marte)

<http://science.nasa.gov/missions/exomars/>

<http://it.wikipedia.org/wiki/ExoMars>

[http://www.esa.int/Our\\_Activities/Space\\_Science/Mars\\_Express](http://www.esa.int/Our_Activities/Space_Science/Mars_Express)

LVDS Owner's Manual, National Semiconductor, 3rd Edition, 2004

IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std 1596.3-1996, 1996

74HC/HCT221 Dual non-retriggerable monostable multivibrator with reset datasheet Philips

74HC/HCT390 Dual decade ripple counter datasheet Philips

DM7404 Hex Inverting Gates datasheet Fairchild semiconductor

DS90C032B LVDS Quad CMOS Differential Line Receiver datasheet Texas Instruments

DS90C031 LVDS Quad CMOS Differential Line Driver datasheets National Semiconductor

DUAL-IN-LINE CLOCK OSCILLATORS datasheet

LM78XX/LM78XXA 3-Terminal 1A Positive Voltage Regulator Fairchild semiconductor

Documenti, utilizzati per la definizione delle specifiche, riservati al consorzio CO.RI.S.T.A. e all'ESA. Pertanto, saranno riportati solo i titoli descrittivi dei documenti.

ESA Exomars Mission Objectives Document

Radar Doppler Unit Requirements Specification

Echo Simulator System Requirement Specification

RDA Echo Generator Interface Control Document

RDA Echo Generator Interface Requirement Document